

Esercizi (semplici) su ADC, DAQ, e bit equivalenti

Un convertitore A/D ad approssimazioni successive ha un tempo di singolo confronto $T_{\text{confr.}}=100 \text{ ns}$ e fornisce un'uscita digitale a 12 bit.

- a) Si disegni lo schema a blocchi dettagliato di un convertitore A/D ad approssimazioni successive. Si discuta il suo principio di funzionamento e le principali caratteristiche e limitazioni.
- b) Si discuta se l'ADC descritto è adatto per acquisire e ricostruire correttamente una sinusoide a 250 kHz e con ampiezza 2 V, ottenendo una risoluzione di almeno 5 mV.
- c) Lavorando alla massima velocità dell'ADC, quanta profondità di memoria occorre per digitalizzare l'onda sinusoidale per 1 secondo.
- d) Cosa succede se l'ADC considerato non è ideale e presenta un rumore elettronico interno con ampiezza (efficace) 300 μV ? Quanto vale in questo caso il numero di bit equivalenti n_e dell'acquisizione? Quanto vale invece il numero di bit equivalenti n_e^* se il rumore elettronico diviene $\sigma_{\text{ele}}^*=10 \text{ mV}$?
- e) Si commenti il risultato ottenuto (o previsto) per il punto d). Non avendo necessità di effettuare misure particolarmente veloci come si potrebbe operare per avere una risoluzione equivalente più prossima a quella teorica?

a) Si veda il Libro, le dispense/lucidi, e gli appunti del Corso.

b) Il tempo di misura, per una singola acquisizione a $n=12$ bit, è pari a $T_{\text{mis}}=nT_{\text{confr.}}=1.2 \mu\text{s}$ e la conseguente massima frequenza di campionamento, e dunque di acquisizione dati, vale $f_{\text{acq.,max}}=f_{\text{mis}}=1/T_{\text{mis}}=1/(1.2 \times 10^{-6}) \text{ Hz}=1/1.2 \text{ MHz}=833 \text{ kHz} \sim 800 \text{ kHz}$.

Come velocità di acquisizione, si possono dunque (per il teorema di Shannon) campionare e ricostruire in maniera corretta segnali sinusoidali sino a $f_{s,\text{max}}=f_{c,\text{max}}/2=417 \text{ kHz} \sim 400 \text{ kHz}$.

La dinamica di acquisizione può al meglio essere adattata all'escursione picco-picco della sinusoide in ingresso: pertanto si lavora con $D=\pm 2 \text{ V}=4 \text{ V}$. La risoluzione dell'acquisizione (singola misura) è $\Delta V=D/2^n=D/4096=(4 \text{ V})/4096 \cong 1 \text{ mV}$.

Da quanto discusso, si deduce che l'ADC descritto è adatto per acquisire e ricostruire la sinusoide a 250 kHz con ampiezza picco-picco $\pm 2 \text{ V}$, ottenendo la risoluzione voluta.

c) Si lavora con $f_{\text{acq.}}=f_{\text{acq.,max}}=833 \text{ kHz}$ e $T_{\text{acq.}}=1.2 \mu\text{s}$. Il numero di dati acquisiti nell'intervallo di tempo di acquisizione $\Delta T_{\text{acq.}}=1 \text{ s}$ è pari a $N_{\text{dati}}=\Delta T_{\text{acq.}}/T_{\text{acq.}}=(1 \text{ s})/(1.2 \mu\text{s}) \cong 833 \text{ 333}$ dati. Ciascun dato acquisito, valore numerico a 12 bit, occupa di fatto 2 byte di memoria. Pertanto, la profondità di memoria richiesta è $\text{memory depth}=M=N_{\text{dati}} \times (2 \text{ byte})=1.666 \text{ 667} \times 10^6 \text{ byte}=1.59 \text{ MB} \cong 1.6 \text{ MB}$.

d) Il rumore complessivo nell'acquisizione, somma del rumore di quantizzazione e di quello elettronico, è

$$\sigma_N^2 = \sigma_q^2 + \sigma_{\text{ele}}^2 = \frac{(1 \text{ mV})^2}{12} + (0.3 \text{ mV})^2 = 8.33 \times 10^{-4} \text{ V}^2 + 9 \times 10^{-4} \text{ V}^2 \cong 2 \sigma_q^2$$

Il numero di bit equivalenti è allora

$$n_e = \frac{1}{2} \log_2 \left(\frac{\sigma_S^2}{\sigma_N^2} \right) = n - \frac{1}{2} \log_2 \left(\frac{\sigma_N^2}{\sigma_q^2} \right) = n - \frac{1}{2} \log_2 (2) = n - \frac{1}{2} = 11.5 \text{ bit}$$

avendo indicato con σ_S^2 la varianza del segnale e con σ_N^2 la varianza del rumore (complessivo).

Se il rumore elettronico diviene $\sigma_{ele}^* = 10 \text{ mV}$, per cui $\sigma_{ele}^2 \gg \sigma_q^2$ e dunque $\sigma_N^2 = \sigma_q^2 + \sigma_{ele}^2 \cong \sigma_{ele}^2$, il nuovo numero di bit equivalenti diventa

$$n_e^* = n - \frac{1}{2} \log_2 \left(\frac{\sigma_N^2}{\sigma_q^2} \right) \cong n - \frac{1}{2} \log_2 \left(\frac{\sigma_{ele}^2}{\sigma_q^2} \right) = n - \frac{1}{2} \log_2(1200) \cong n - \frac{1}{2} \log_2(1024) = n - 5 = 7 \text{ bit}$$

Il calcolo più preciso di n_e^* si può effettuare come

$$n_e^* = n - 0.5 \log_2(1200) = n - 0.5 [\log_{10}(1200) / \log_{10}(2)] \cong n - 0.5 [3.1 / 0.3] = n - 0.52 = 6.8 \text{ bit}$$

ma come si nota n_e^* è ancora circa uguale a 7 bit.

e) In questa condizione di maggiore rumorosità elettronica ($\sigma_{ele}^* = 10 \text{ mV}$), il convertitore lavora come se avesse solo 7 bit. Per recuperare alcuni dei 5 bit “persi” e dunque avere una risoluzione equivalente più prossima a quella teorica, si potrebbe mediare il segnale e il rumore in ingresso all’ADC di modo da ridurre il valore di σ_{ele}^* e recuperare dei bit. Se il rumore elettronico non è fisicamente presente all’ingresso dell’ADC, ma origina dal suo interno, si può allora procedere con medie numeriche sui dati acquisiti alla massima velocità. In entrambi i casi la media (analogica o numerica) riduce la banda disponibile per la ricostruzione del segnale: è corretto quindi mediare se non si ha la necessità di effettuare misure particolarmente veloci.

Se la misura non deve essere particolarmente veloce, si può pensare di migliorare il rapporto S/N aggiungendo un filtraggio passa-basso, così da ridurre il valore efficace del rumore sino a renderlo confrontabile con il rumore di quantizzazione. Quando con il filtro si arriva ad ottenere $\sigma_{ele}^* \approx \sigma_q$ si ha $n_e \approx n$ e non conviene filtrare oltre perché si ridurrebbe ulteriormente la banda di misura senza averne vantaggi sulla risoluzione equivalente.

a) Dopo averne disegnato lo schema circuitale, descrivere la struttura ed il funzionamento di una scheda di acquisizione dati (DAQ).

b) Indicare quali caratteristiche minime deve avere una DAQ per poter acquisire contemporaneamente i seguenti segnali:

- Segnale analogico con banda massima di 50 kHz, massima escursione d'ampiezza 4 V picco-picco, in AC, di cui si vogliono apprezzare dettagli con risoluzione almeno pari a 10 mV.
- Segnale digitale con livelli 0 V e 3 V, a una frequenza di *clock* pari a 100 kHz.
- Segnale di temperatura proveniente da una termocoppia, sensibilità di 40 $\mu\text{V/K}$, impiegata per misurare una temperatura intorno ai 1000 °C con una incertezza (dispersione statistica σ) di 100 mK.

Nella discussione si consideri sia il caso di guadagno d'ingresso variabile a piacere sia per passi predefiniti.

a) Si veda il Libro, le dispense/lucidi, e gli appunti del Corso.

b) La scheda di acquisizione deve avere almeno 3 canali di ingresso, operanti in modalità differenziale, indispensabile per misurare il segnale della termocoppia (segnale molto piccolo e non riferito a massa, che verrebbe coperto dai disturbi se connesso a due canali distinti acquisiti in modalità *single-ended*).

Volendo acquisire contemporaneamente i 3 segnali, la scheda di acquisizione deve avere una frequenza di campionamento 3 volte più grande di quella necessaria per ciascun canale (il limite sarà imposto dal canale/segnale più veloce). Inoltre il numero di bit è dettato dal canale che richiede la migliore risoluzione relativa.

Supponiamo di avere una scheda con guadagno variabile a piacere su ciascun canale, di modo da adattare al meglio la dinamica di acquisizione alla dinamica di variazione del segnale d'ingresso.

Il primo segnale deve essere campionato ad almeno 100 kSa/s (il doppio della sua banda massima di 50 kHz), con un numero di livelli di quantizzazione minimo $N = \text{dinamica}/\text{risoluzione} = 4 \text{ V} / 10 \text{ mV} = 400$. Per cui il numero di bit richiesti per questo canale è $n = 9$ ($2^n = 512$).

Il secondo segnale, digitale alla frequenza di 100 kHz, può essere campionato semplicemente a due livelli (basterebbe 1 solo bit) e richiede almeno un campione per periodo di *clock* (per riconoscere se in quel periodo il segnale è "1" oppure "0"). Quindi va campionato ad almeno 100 kSa/s.

Il terzo segnale è una misura di temperatura, che quindi non ha problemi di velocità (le fluttuazioni termiche sono molto lente, tipicamente dell'ordine dei secondi). L'incertezza in tensione richiesta vale $u(V) = \sigma_V = \sigma_T \times K_{T \Rightarrow V} = 100 \text{ mK} \times 40 \mu\text{V/K} = 4 \mu\text{V}$, a cui corrisponde un intervallo di quantizzazione (risoluzione) $\Delta V = u(V) \times \sqrt{12} \cong 14 \mu\text{V}$. La dinamica di misura è nell'intorno dei 1000 °C = 1273 K e dunque in tensione si dovranno acquisire dati con valori prossimi a $1273 \text{ K} \times 40 \mu\text{V/K} \cong 50 \text{ mV}$.

In questo caso il numero di livelli di quantizzazione minimo $N = \text{dinamica}/\text{risoluzione} = 50 \text{ mV} / 14 \mu\text{V} = 3571$. Per cui il numero di bit richiesti è $n = 12$ ($2^n = 4096$).

Riepilogando, è necessaria una scheda operante in modalità differenziale, con frequenza di campionamento di almeno 300 kSa/s (il triplo della più alta richiesta dal singolo canale più veloce), con almeno $n = 12$ bit. Deve essere inoltre prevista la possibilità di un'amplificazione variabile a piacere per ogni singolo canale.

Se non si dispone di un guadagno d'ingresso variabile a piacere per ogni singolo canale, possiamo considerare il caso di un amplificatore a guadagno variabile a scatti decadici (situazione molto comune nelle schede a basso costo): in queste condizioni di guadagno a passi finiti, è necessario calcolare il numero di bit, in funzione delle dinamiche d'ingresso possibili. Ad esempio se le dinamiche d'ingresso selezionabili dalla scheda fossero solamente $\pm 50 \text{ mV}$, $\pm 500 \text{ mV}$, $\pm 5 \text{ V}$, il numero di bit necessario per i 3 canali considerati diventerebbe:

- 1° canale – dinamica selezionata $\pm 5 \text{ V}$, $N = \text{dinamica}/\text{risoluzione} = 10 \text{ V} / 10 \text{ mV} = 1000$. Per cui il numero di bit richiesti per questo canale è $n = 10$ ($2^n = 1024$).
- 2° canale – dinamica selezionata $\pm 5 \text{ V}$, in questo caso dato che il segnale è digitale tra 0 V e 3 V basterebbero 2 bit.
- 3° canale – dinamica selezionata $\pm 50 \text{ mV}$, $N = \text{dinamica}/\text{risoluzione} = 100 \text{ mV} / 14 \mu\text{V} = 7142$. Per cui il numero di bit richiesti è $n = 13$ ($2^n = 8192$).

La scheda nel complesso richiederebbe ora $n=13$ bit.