



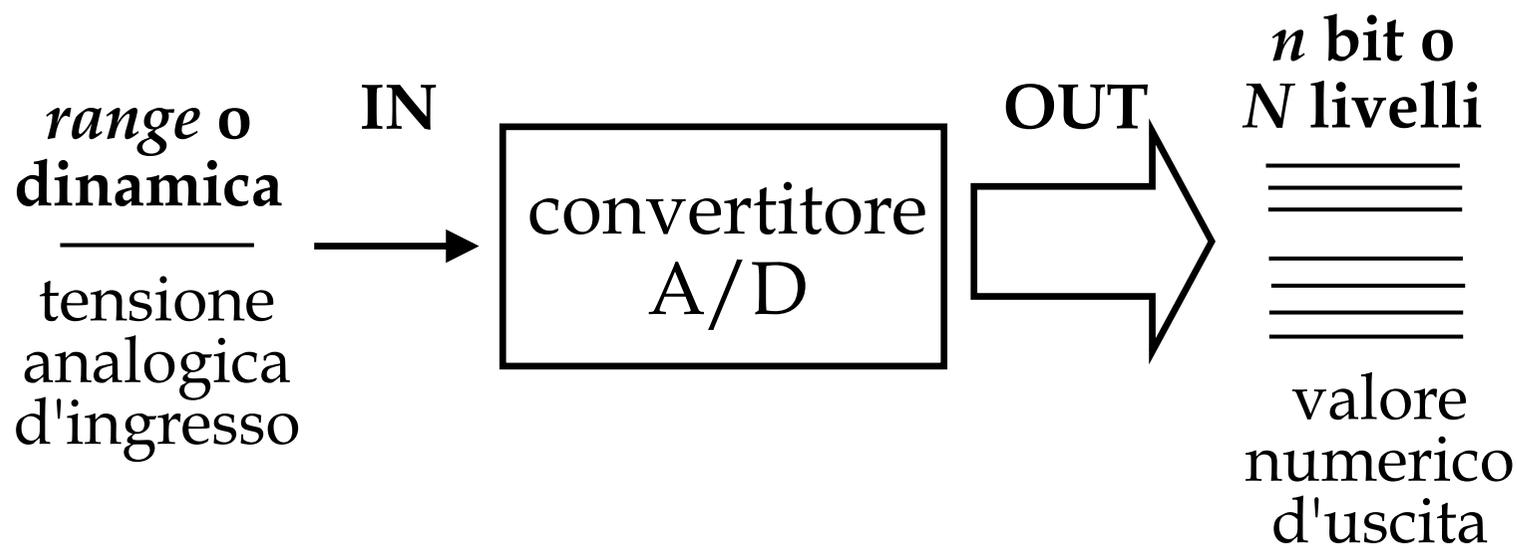
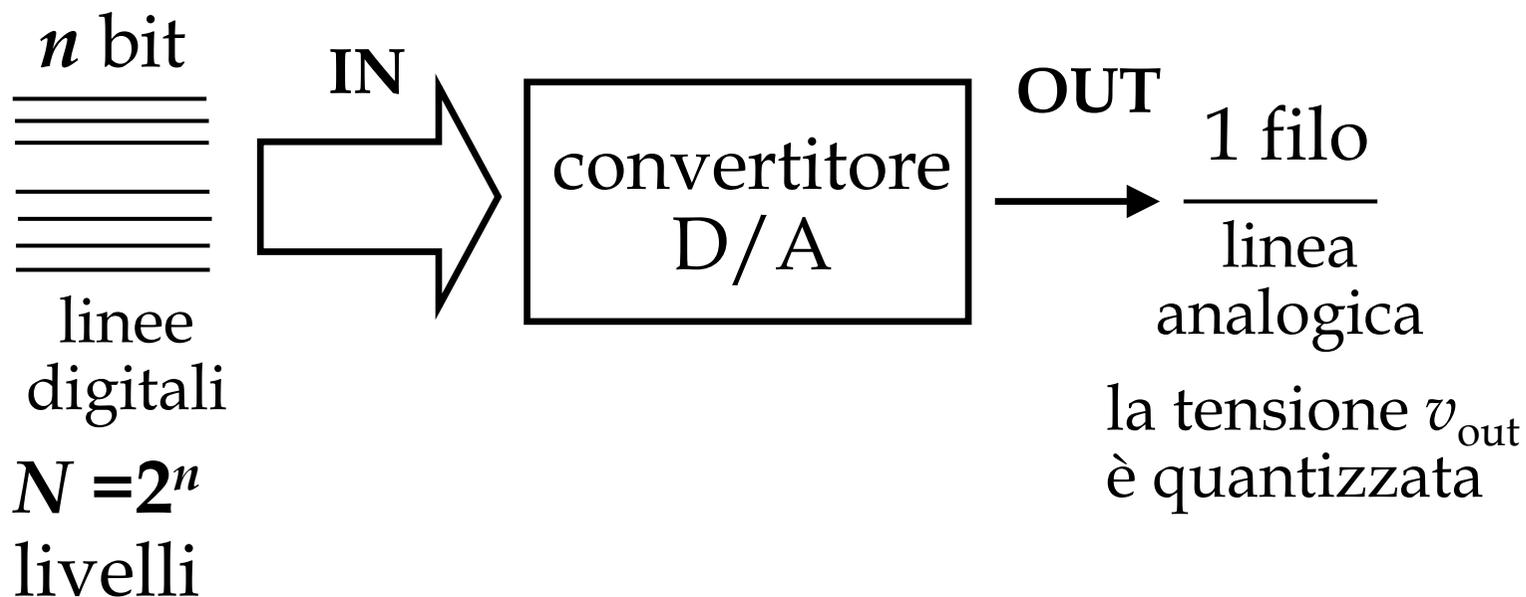
CONVERTITORI

D/A E A/D

PER SISTEMI DAQ



Convertitori D/A e A/D

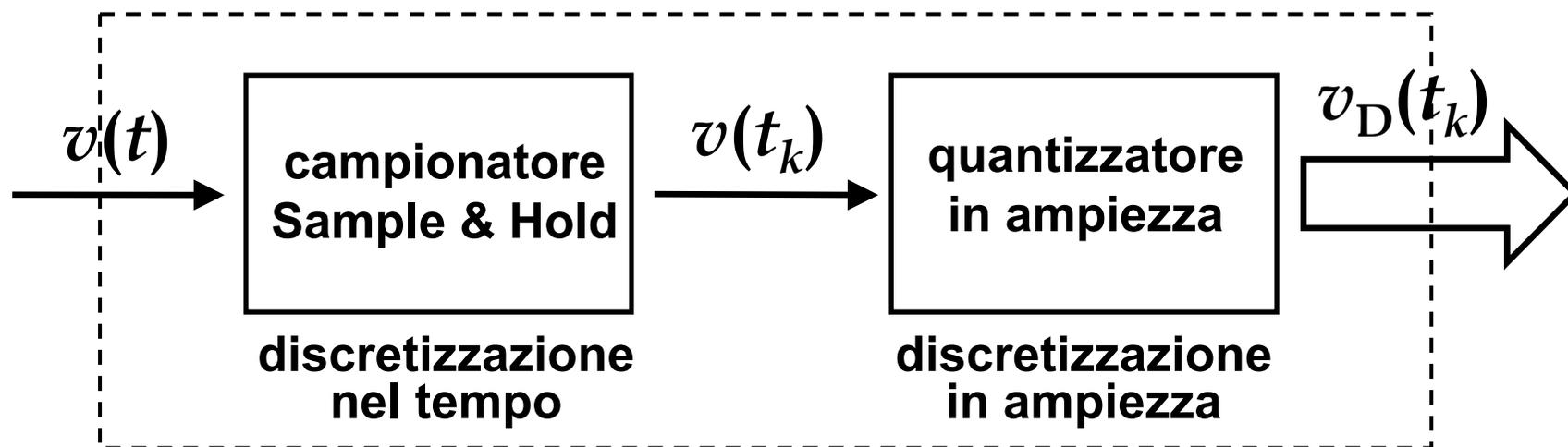




Voltmetro o Convertitore A/D

E' uno strumento che riceve in ingresso una tensione analogica e la digitalizza (**discretizzando** prima nel dominio del **tempo** e poi nel dominio dell' **ampiezza**):

A D C

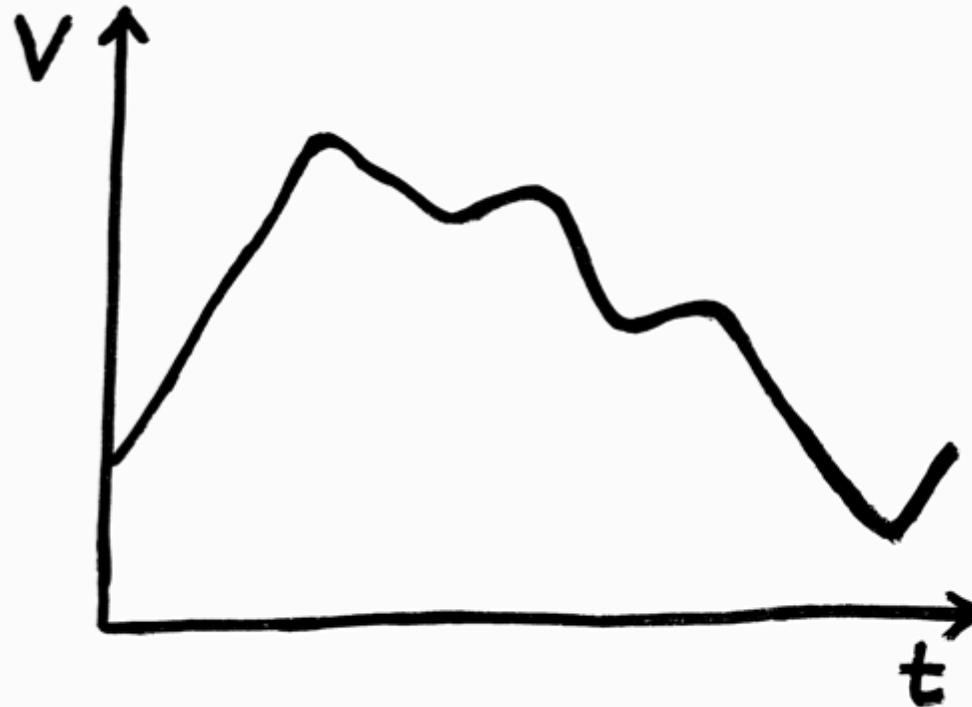


In particolare, la **quantizzazione** nel dominio del tempo avviene con risoluzione $T_c=1/f_c$ (periodo [s] e frequenza [Sa/s] di campionamento)



Processo di discretizzazione (1/3)

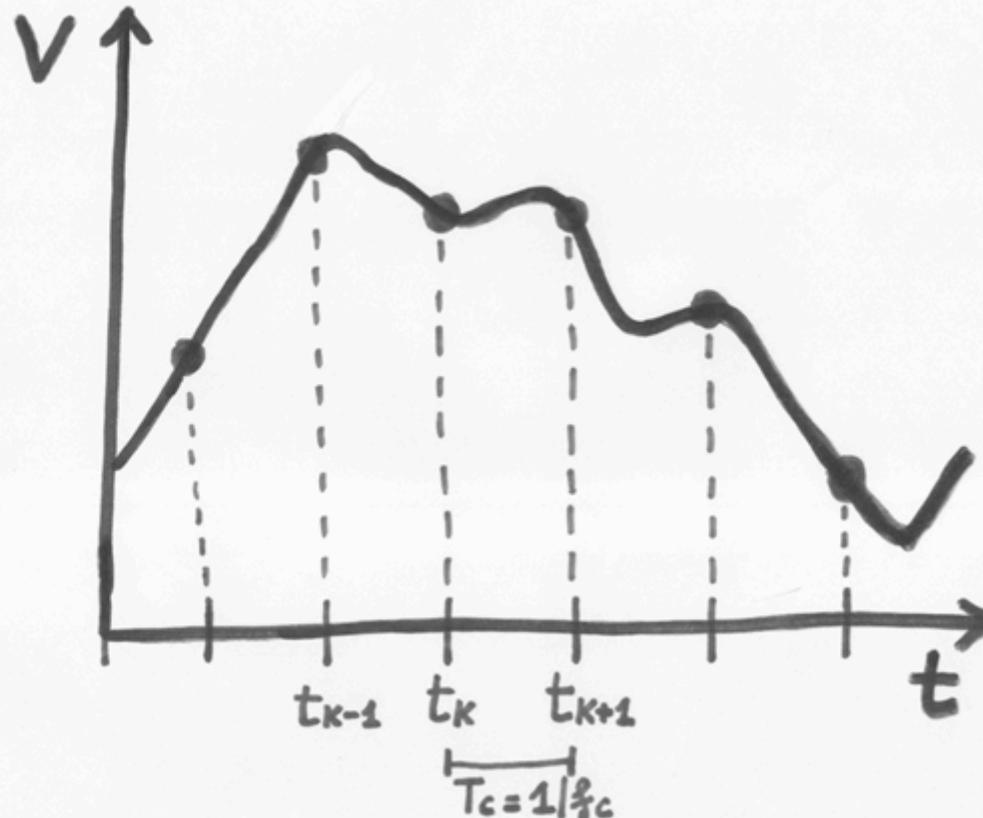
Segnale $V(t)$ analogico



(il segnale è **continuo** sia nel tempo che in ampiezza)

Processo di discretizzazione (2/3)

Segnale $V(t_k)$ discretizzato nel tempo

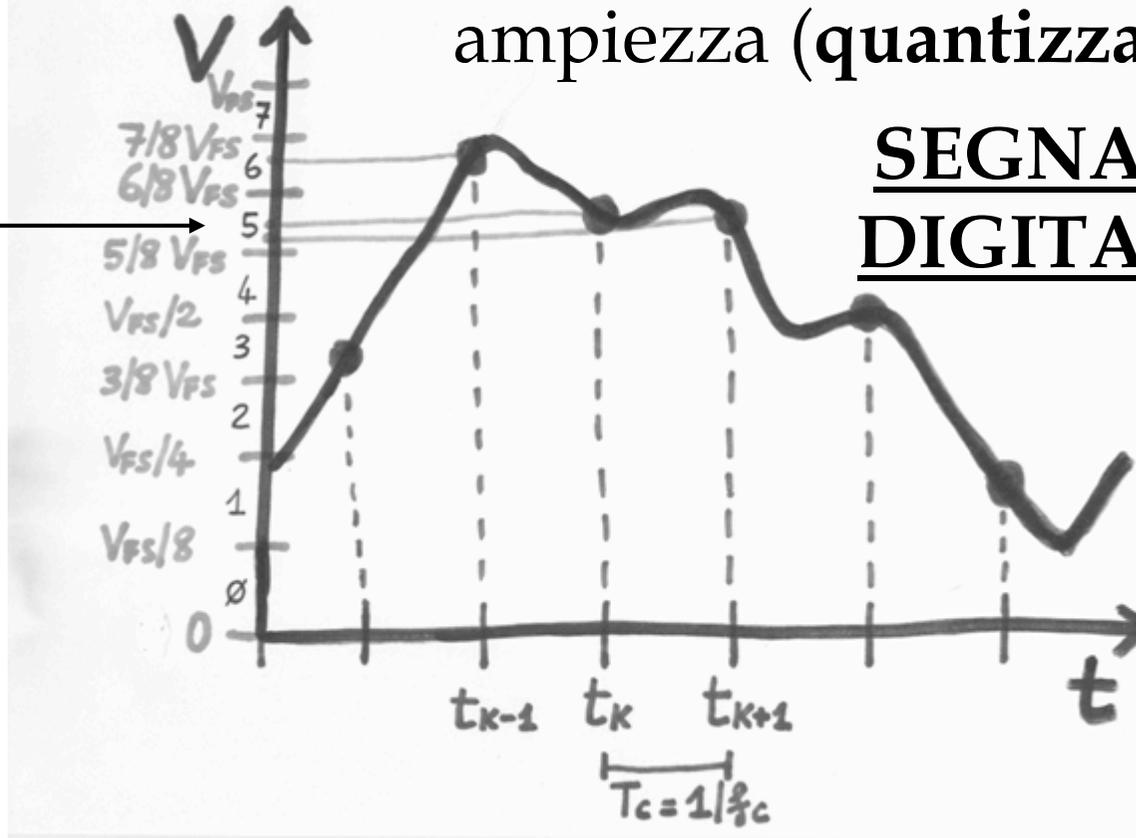


(il segnale è ancora continuo o “analogico” in ampiezza; ma i campioni sono disponibili solo a **tempo discreto**)

Processo di discretizzazione (3/3)

Segnale $V_i(t_k)$ discretizzato anche in
ampiezza (quantizzato)

SEGNALE
DIGITALE



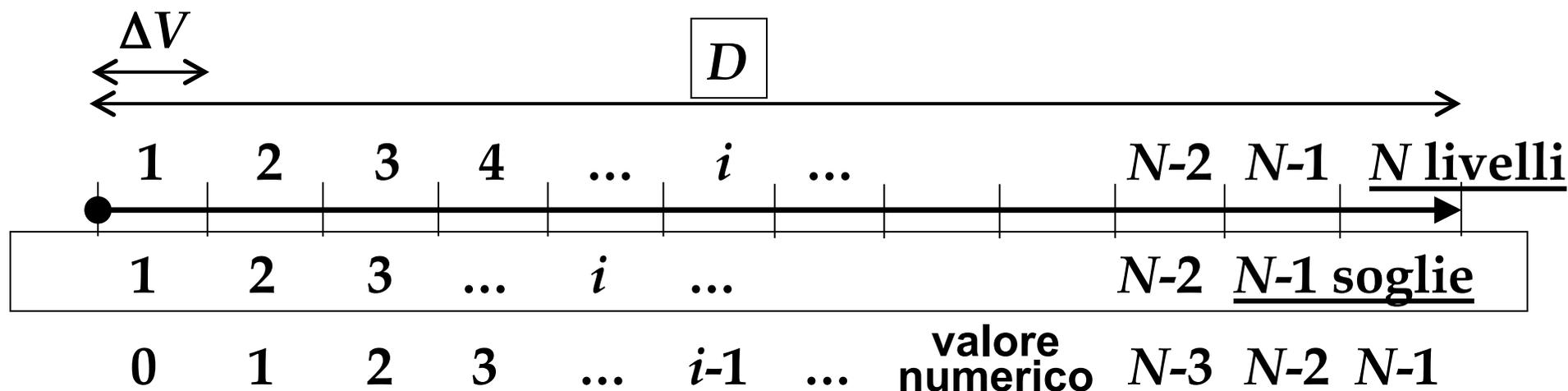
valori diversi
di tensione
analogica
vengono
codificati con lo
stesso valore
numerico:
si perde
informazione!

(il segnale digitale è codificato in valori numerici)



Quantizzazione in ampiezza

La **quantizzazione in ampiezza** avviene suddividendo la **dinamica D di misura** (intervallo di valori di tensione analogica misurabili in ingresso) in **N sottointervalli (livelli)** di **larghezza costante $\Delta V = D/N$ (risoluzione)**



Alle tensioni analogiche che cadono nell'intervallo i -esimo si associa **un valore numerico** corrispondente all'intero $i-1$ (da 1 a $N-1$) che identifica l'intervallo in questione



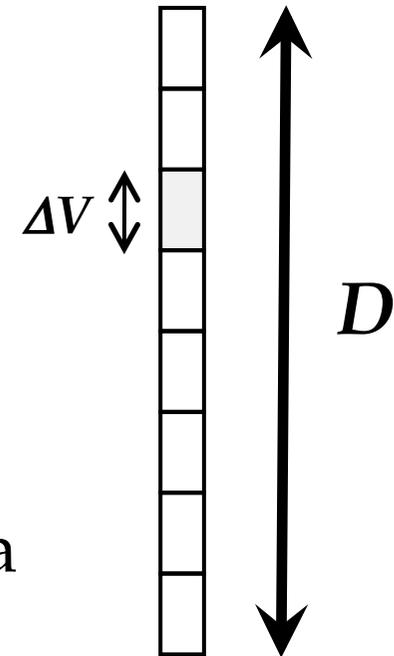
Varianza e incertezza di quantizzazione

(caso di dinamica D
suddivisa in $N=8$ livelli
con $n=\log_2 N=3$ bit)

La **varianza** associata alla
risoluzione finita ΔV è

$$\sigma_q^2 = u_q^2 = \frac{(\Delta V)^2}{12}$$

Il risultato deriva dal calcolo della varianza σ^2 per una PDF uniforme su intervallo di probabilità con piena larghezza ΔV

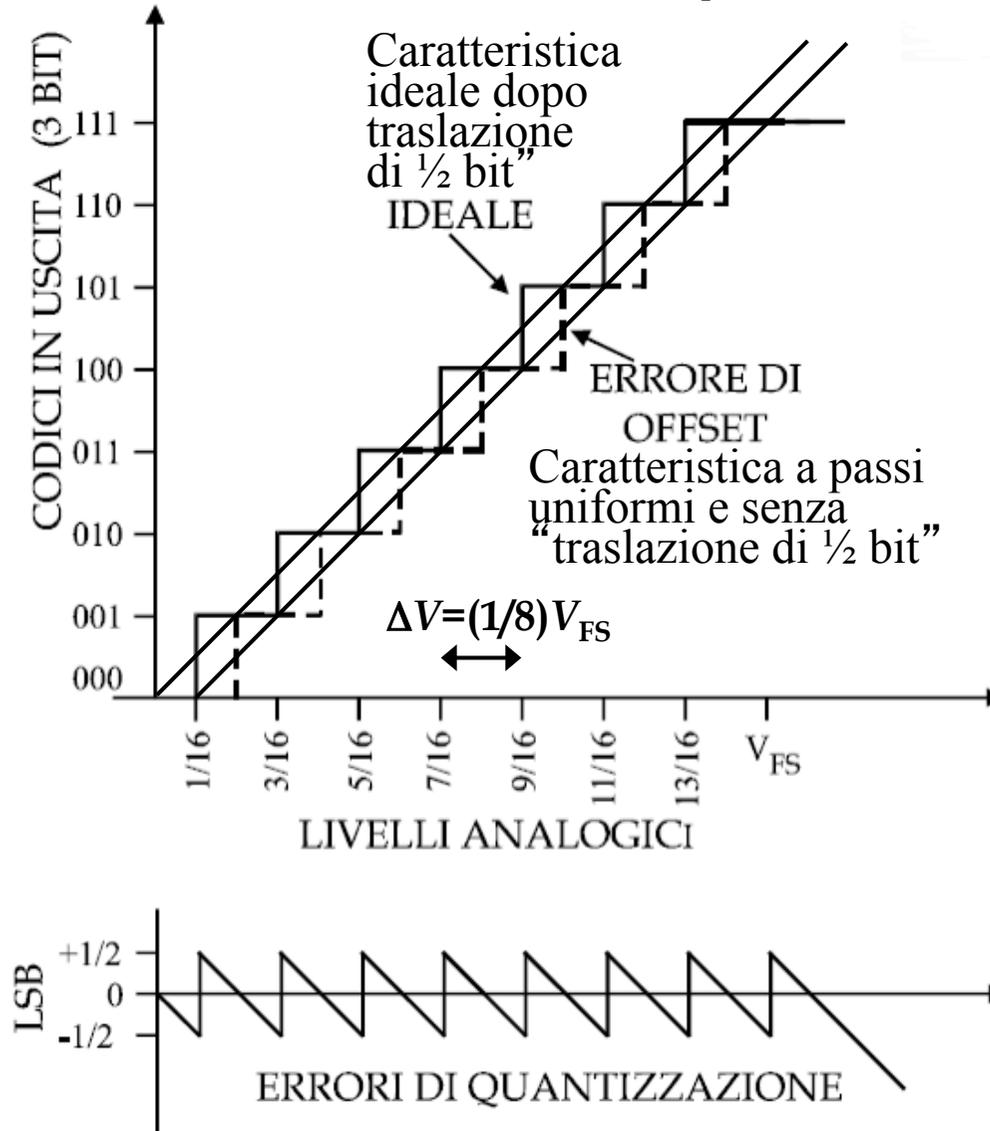


L'**incertezza di quantizzazione** è

$$u_q = \sigma_q = \frac{\Delta V}{\sqrt{12}}$$

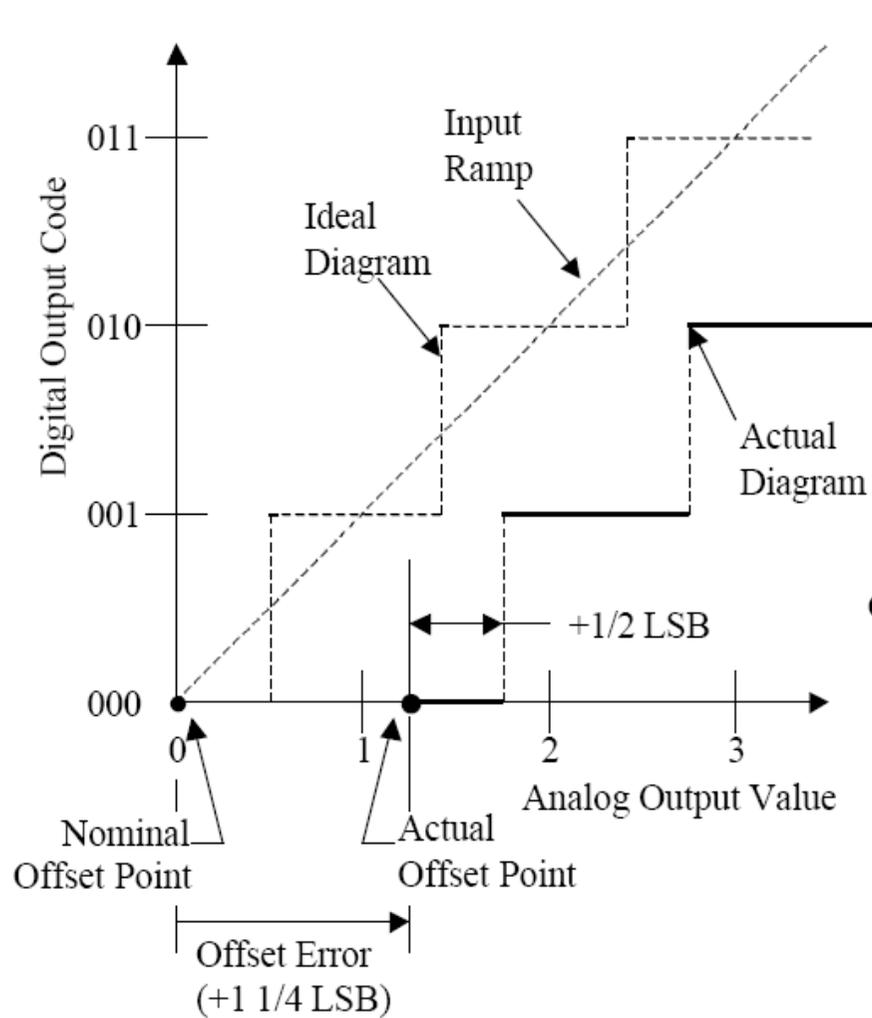


Errori nei convertitori: quantizzazione

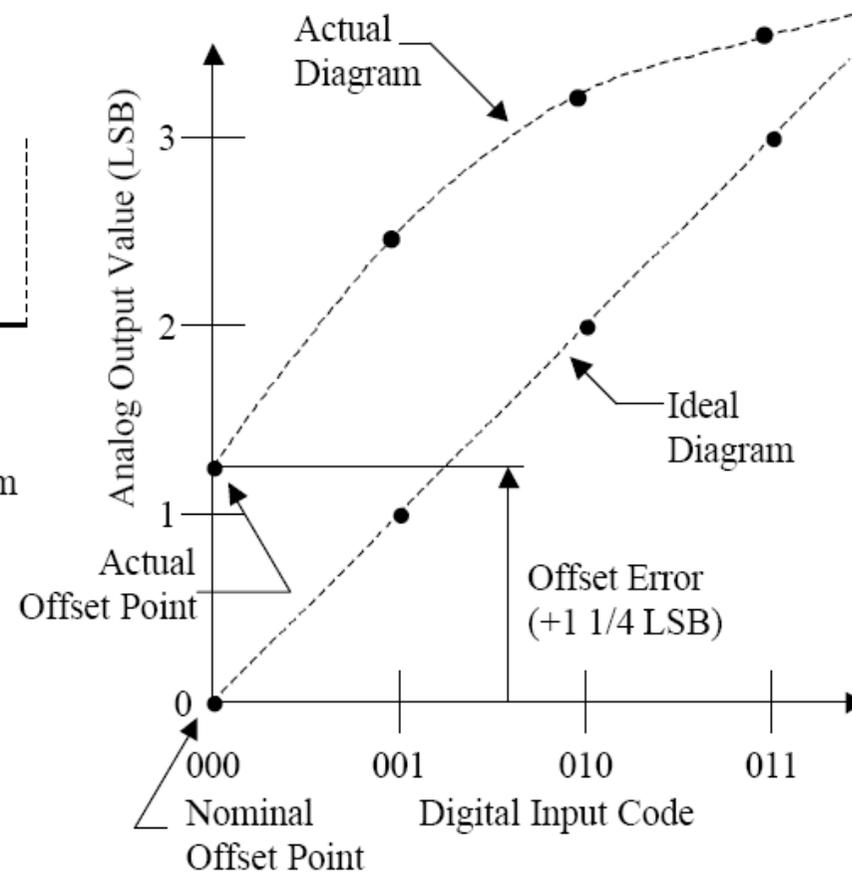




Errori nei conv. A/D: *offset*

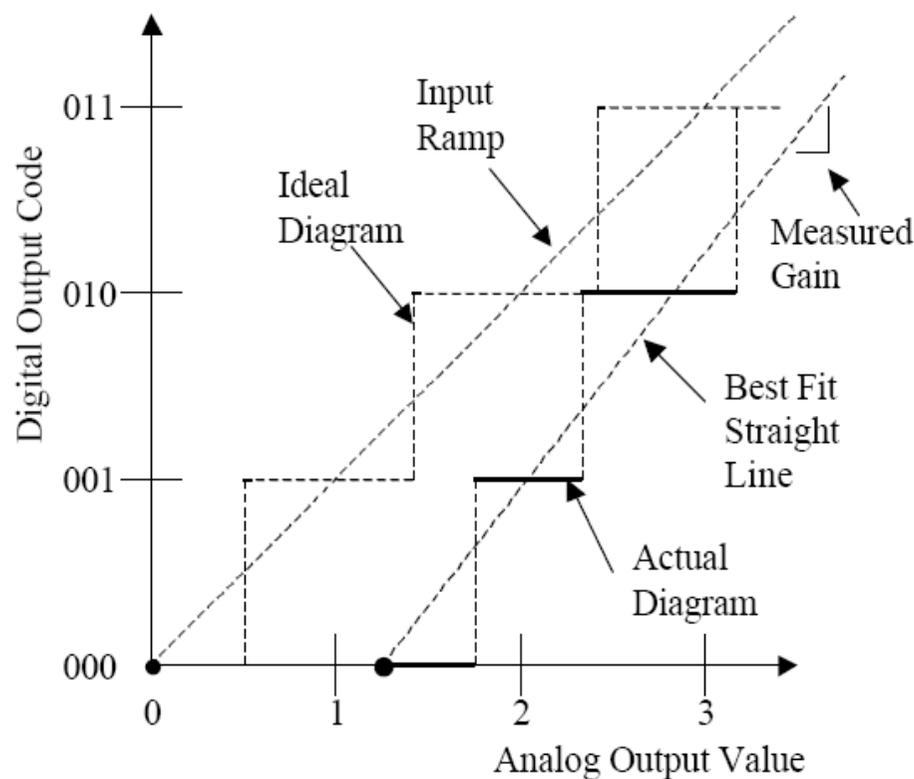


ADC

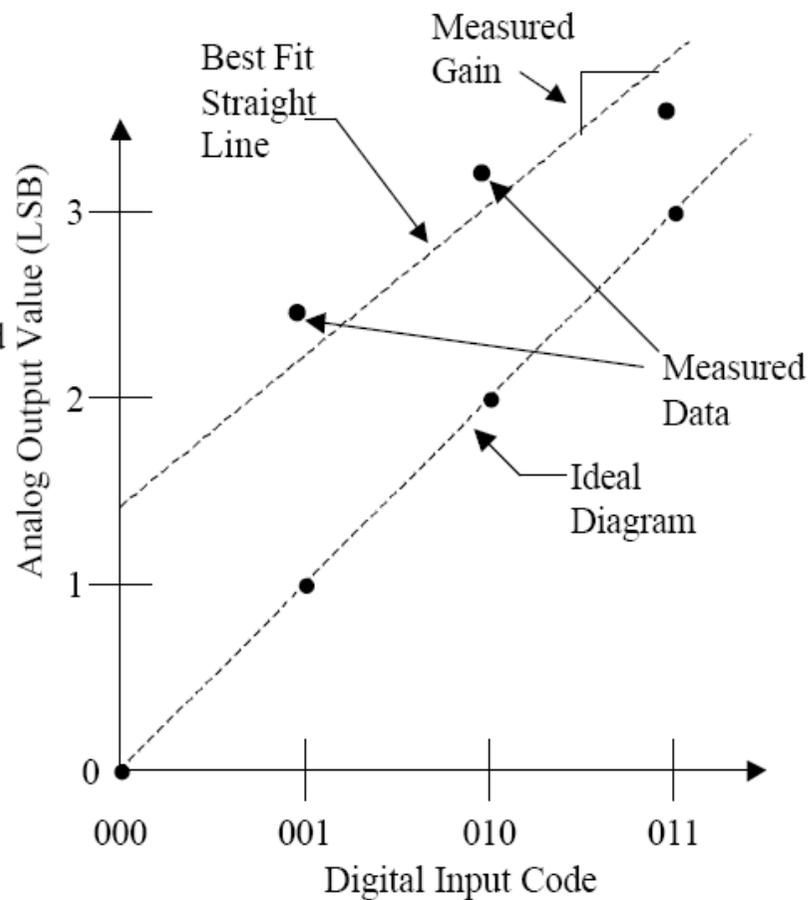


DAC

Errori nei convertitori: *gain*



ADC

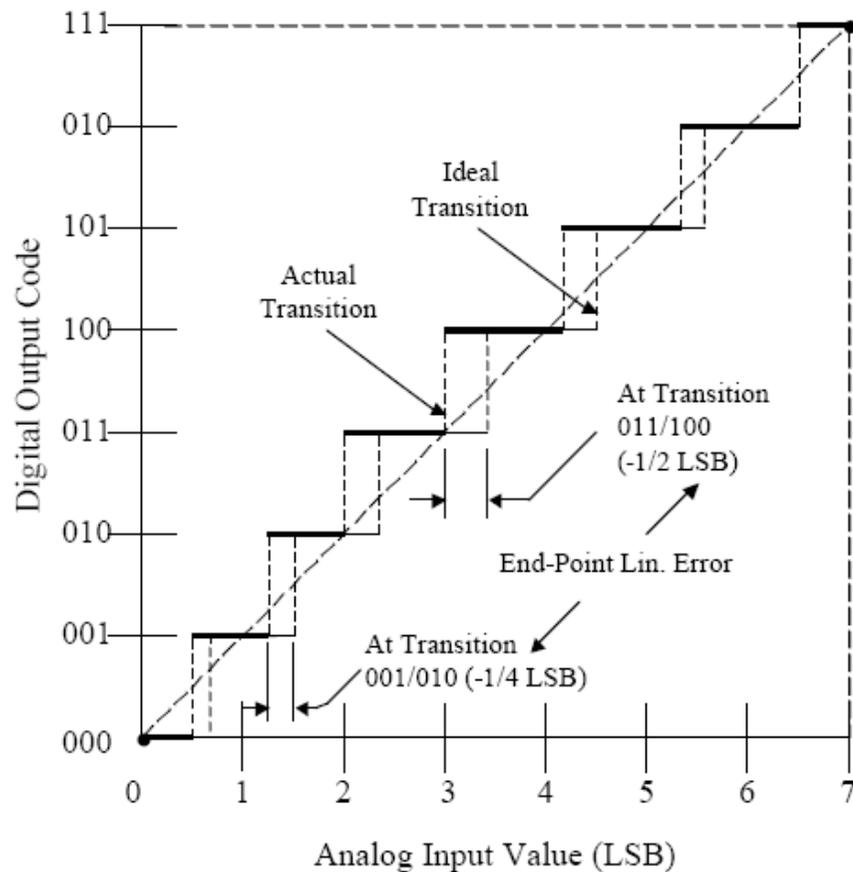


DAC

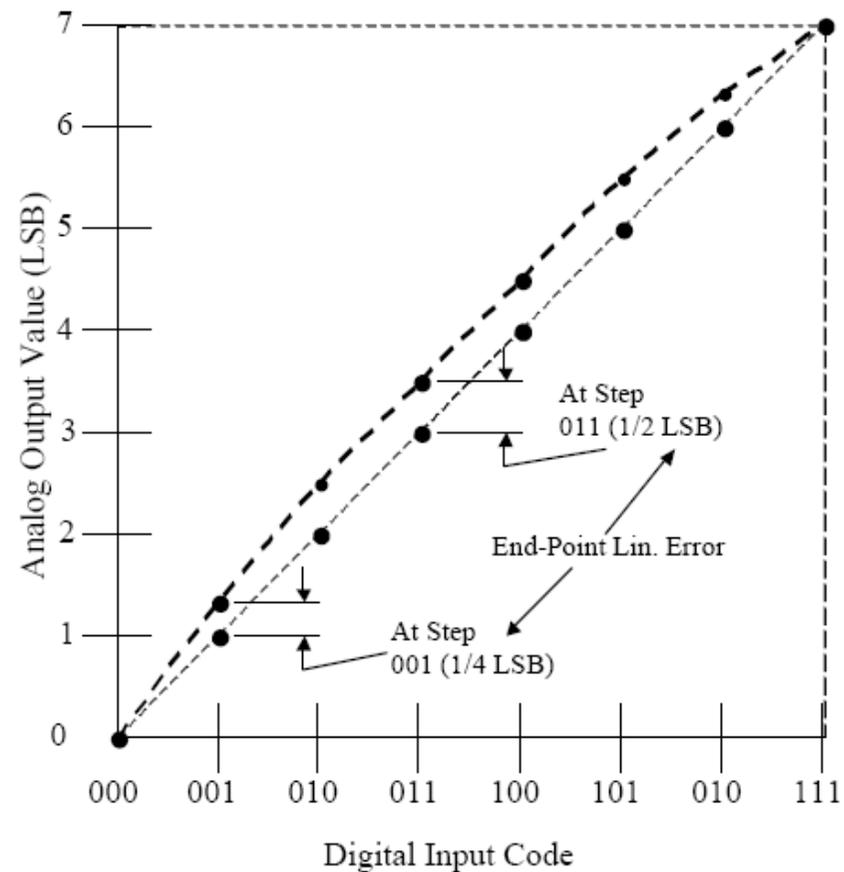


Errori nei convertitori: *INL*

Integral Non-Linearity (non-linearità integrale)



ADC

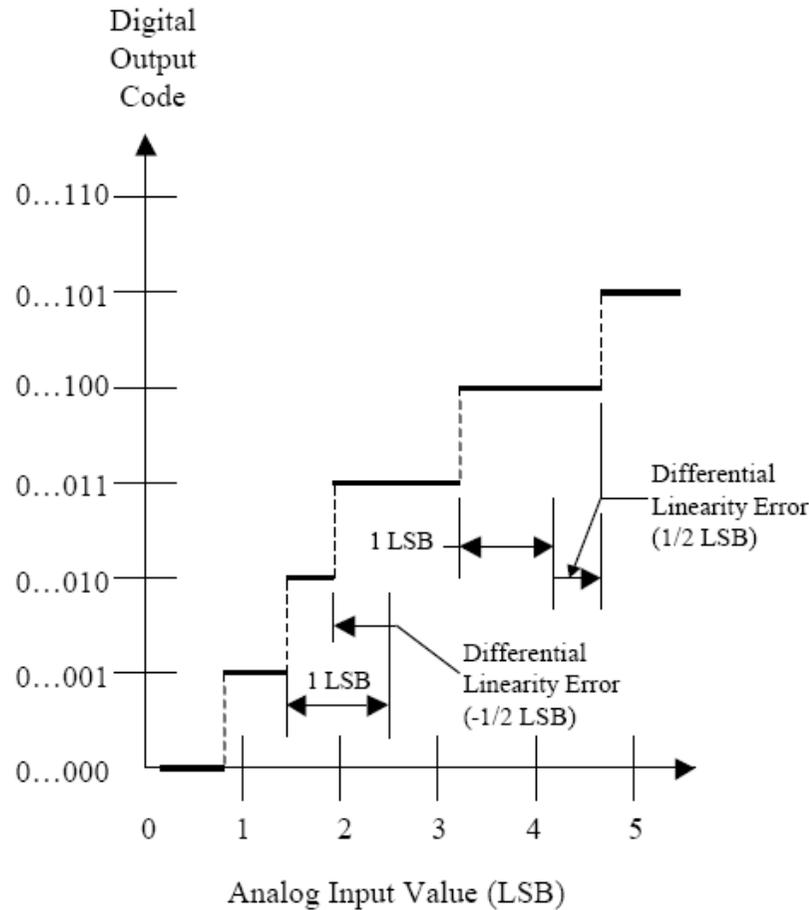


DAC

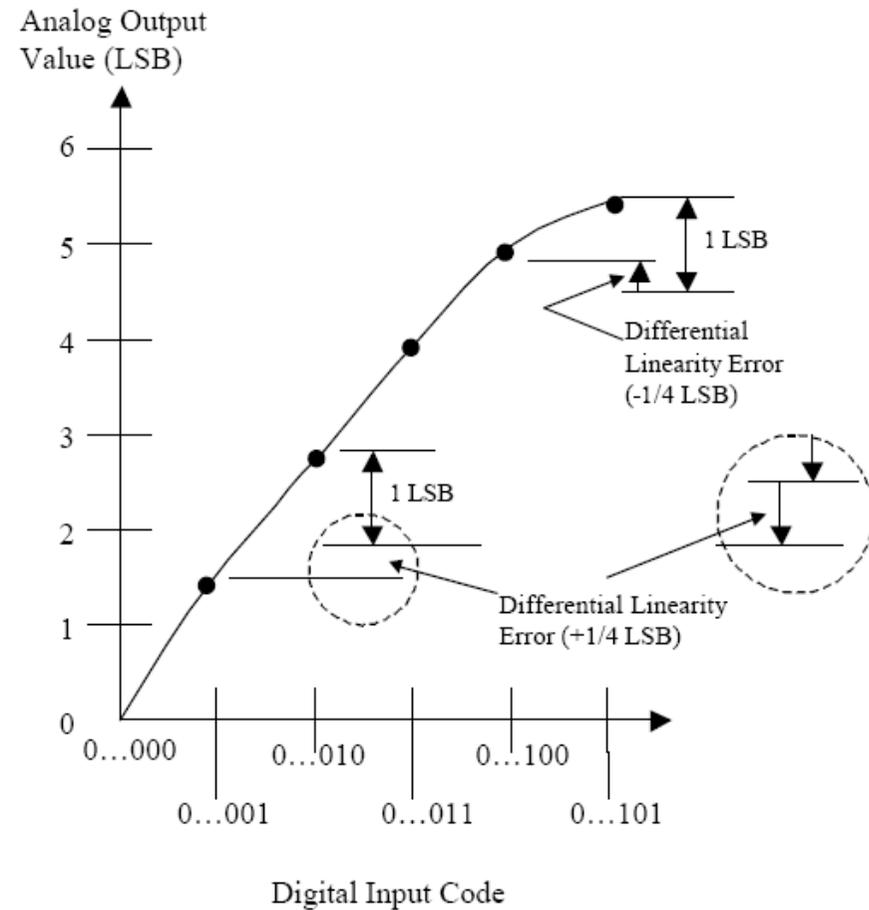


Errori nei convertitori: *DNL*

Differential Non-Linearity (non-linearità differenziale)



ADC



DAC



Campionamento del segnale (1/3)

Teorema di Shannon

Per poter ricostruire un segnale con banda limitata, è necessaria una frequenza di campionamento

$$f_c > 2 f_{\max} \quad \text{con } f_{\max} \text{ frequenza massima (banda) del segnale}$$

Altrimenti si verificano fenomeni di *aliasing*, che fanno perdere informazione utile e non consentono la ricostruzione corretta del segnale mediante filtraggio passa-basso. Infatti, la **discretizzazione nel tempo** induce una **periodicità in frequenza**: non ci devono essere sovrapposizioni (*alias*) tra le repliche spettrali

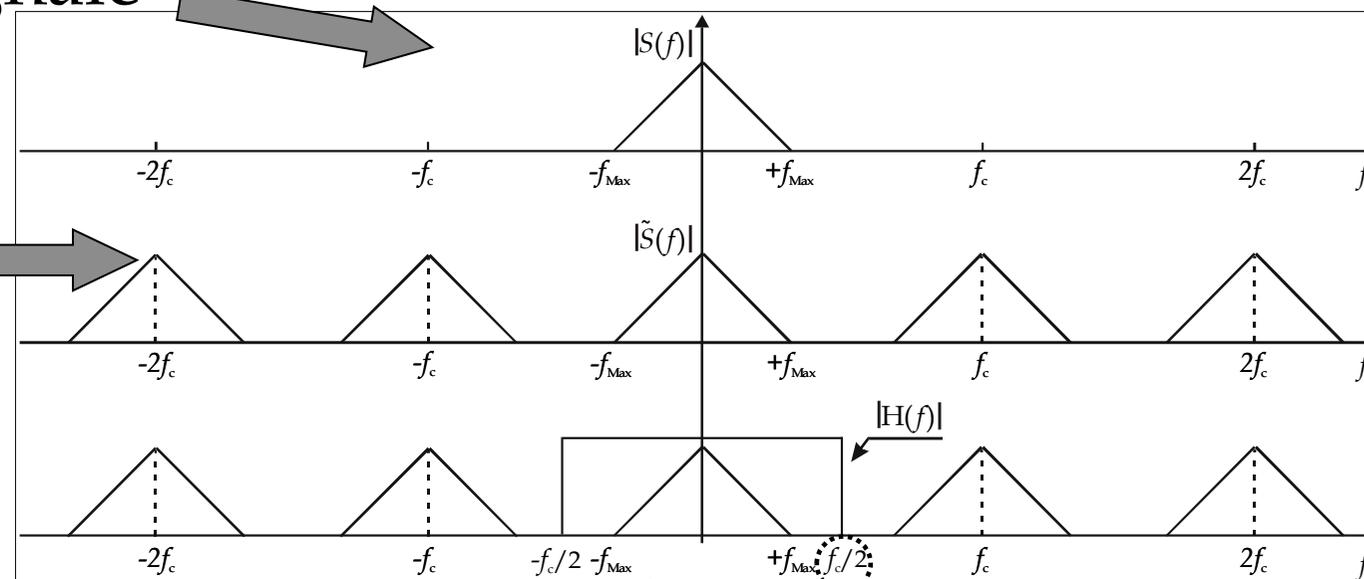


Campionamento del segnale (2/3)

CASO I: $f_c > 2f_{\max}$ [corretto campionamento]

Spettro del segnale

Spettro del
segnale
campionato



Spettro del segnale
ricostruito per
filtraggio

frequenza
di Nyquist

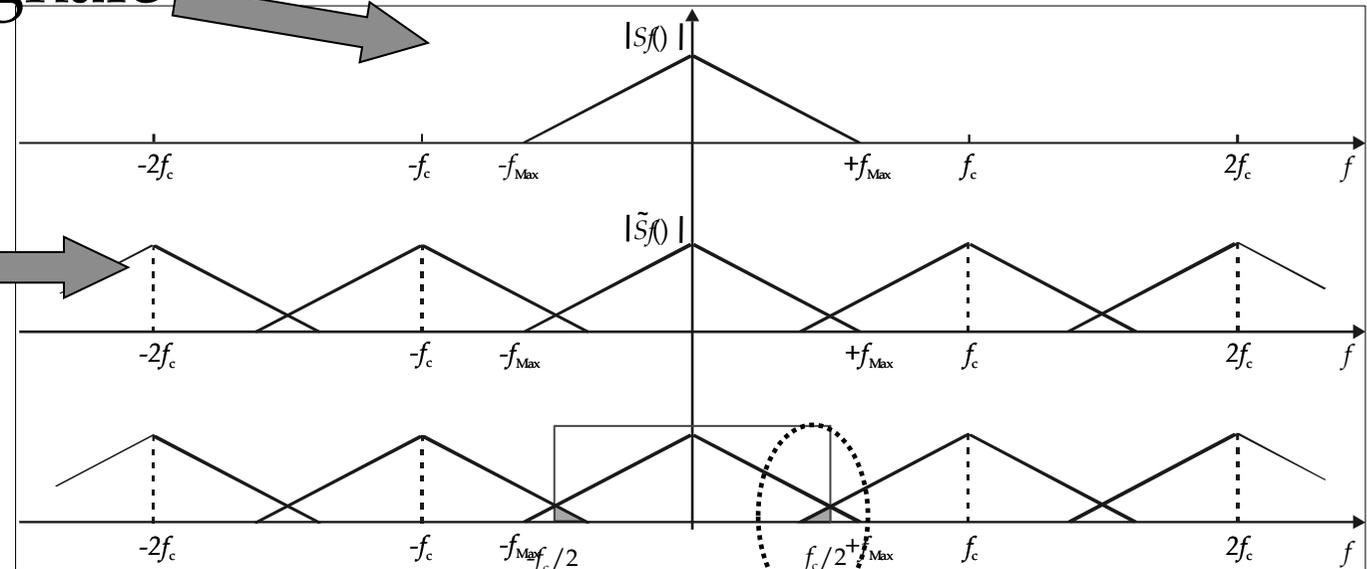


Campionamento del segnale (3/3)

CASO II: $f_c < 2f_{\max}$ [sottocampionamento]

Spettro del segnale

Spettro del
segnale
campionato



aliasing

Spettro del segnale
ricostruito per
filtraggio

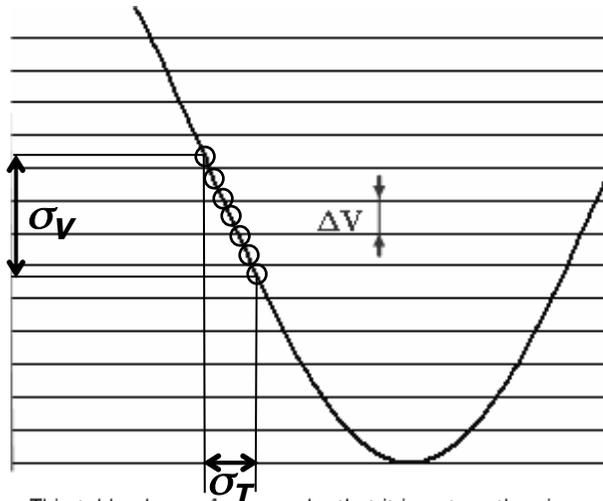


Effetto di un errore di campionamento (*jitter* degli intervalli/istanti T_c)

Imagine that we are digitizing a sine wave $x(t) = A \sin 2\pi f_0 t$. Provided that the actual sampling time *uncertainty* due to the *clock jitter* is Δt , the error caused by this phenomenon can be estimated as $E_{ap} \leq |x'(t)\Delta t| \leq 2A\pi f_0 \Delta t$.

One can see that the error is relatively small at low frequencies, but can become significant at high frequencies.

This effect can be ignored if it is relatively small as compared with *quantizing error*. Jitter requirements can be calculated using the following obvious formula: $\Delta t < \frac{1}{2^q \pi f_0}$, where q is a number of ADC bits.



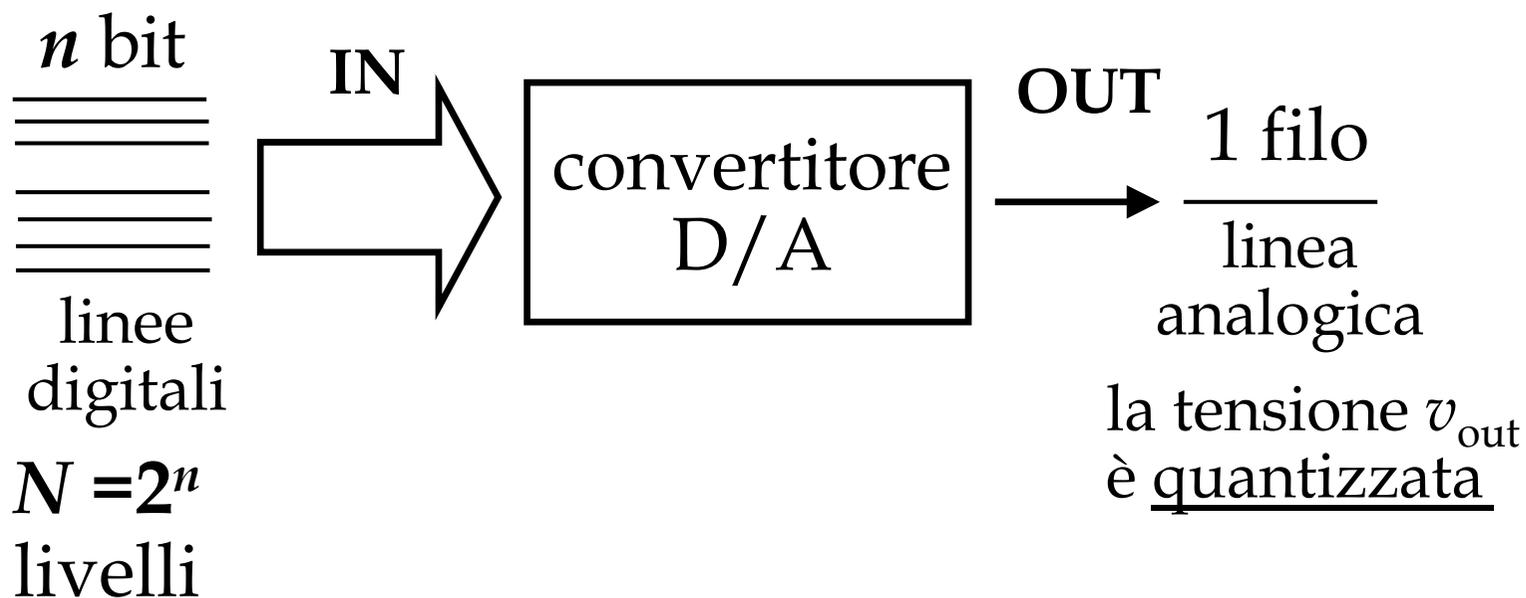
ADC resolution	Input frequency				
	44.1 kHz	192 kHz	1 MHz	10 MHz	100 MHz
8	28.2 ns	6.48 ns	1.24 ns	124 ps	12.4 ps
10	7.05 ns	1.62 ns	311 ps	31.1 ps	3.11 ps
12	1.76 ns	405 ps	77.7 ps	7.77 ps	777 fs
14	441 ps	101 ps	19.4 ps	1.94 ps	194 fs
16	110 ps	25.3 ps	4.86 ps	486 fs	48.6 fs
18	27.5 ps	6.32 ps	1.21 ps	121 fs	12.1 fs
24	430 fs	98.8 fs	19.0 fs	1.9 fs	190 as

occorre limitare σ_T
per avere σ_V
inferiore a σ_q
(ad es. con $\sigma_V \ll \Delta V$)

This table shows, for example, that it is not worth using a precise 24-bit ADC for sound recording if we don't have an *ultra low jitter* clock. One should consider taking this phenomenon into account before choosing an ADC.

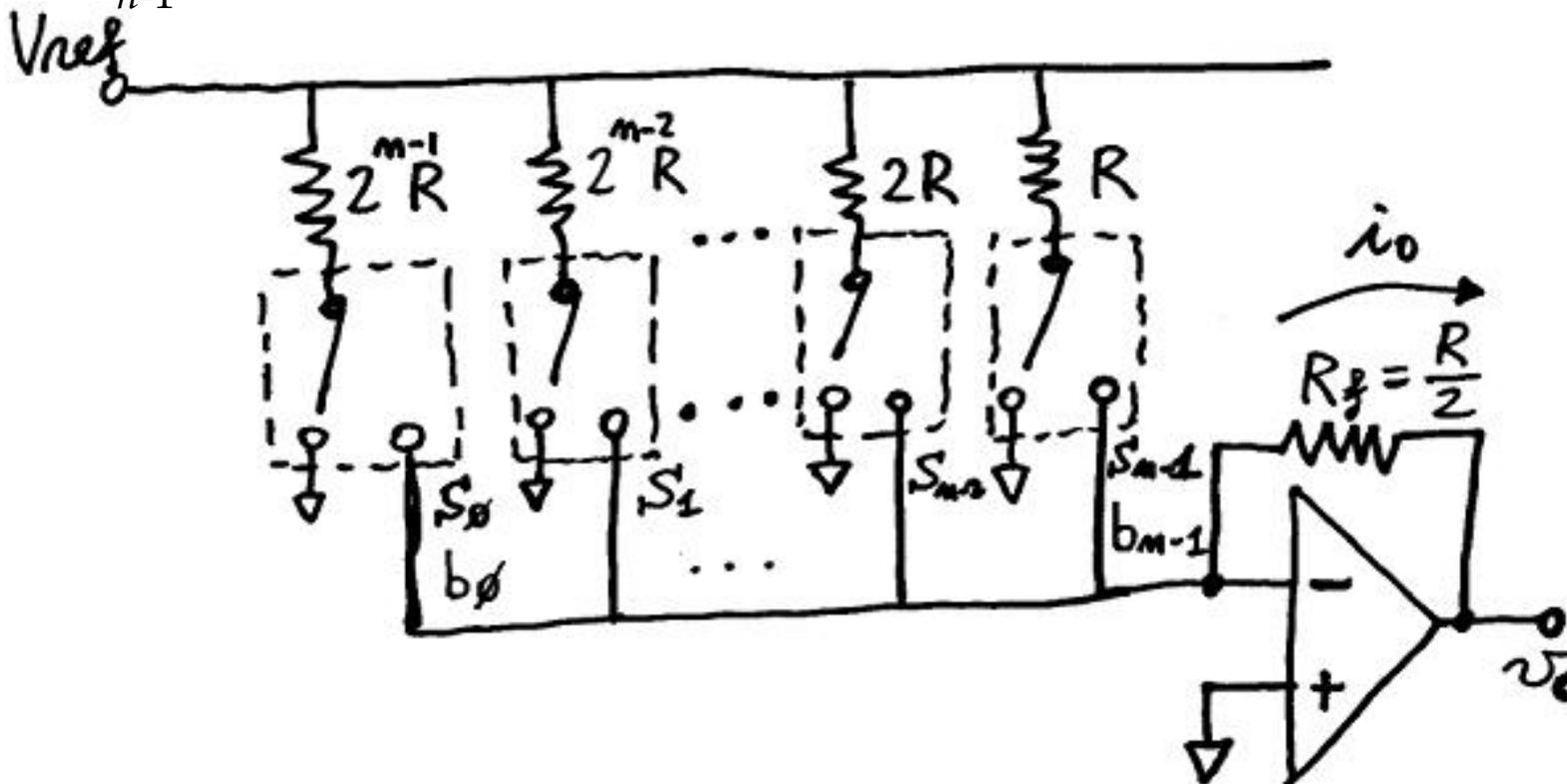
Poiché σ_V dipende da σ_T e dalla pendenza della forma d'onda ($p \propto f$), il problema aumenta al crescere di f

Convertitore D/A



Convertitore D/A a rete di R (1/4)

Da un'unica tensione di riferimento costante (V_{ref}) si prelevano n correnti pesate attraverso n interruttori (*switch*) S_0, S_1, \dots, S_{n-1}



Su ciascuno *switch* S_i è posta una resistenza $r_i = 2^{(n-1)-i}R$

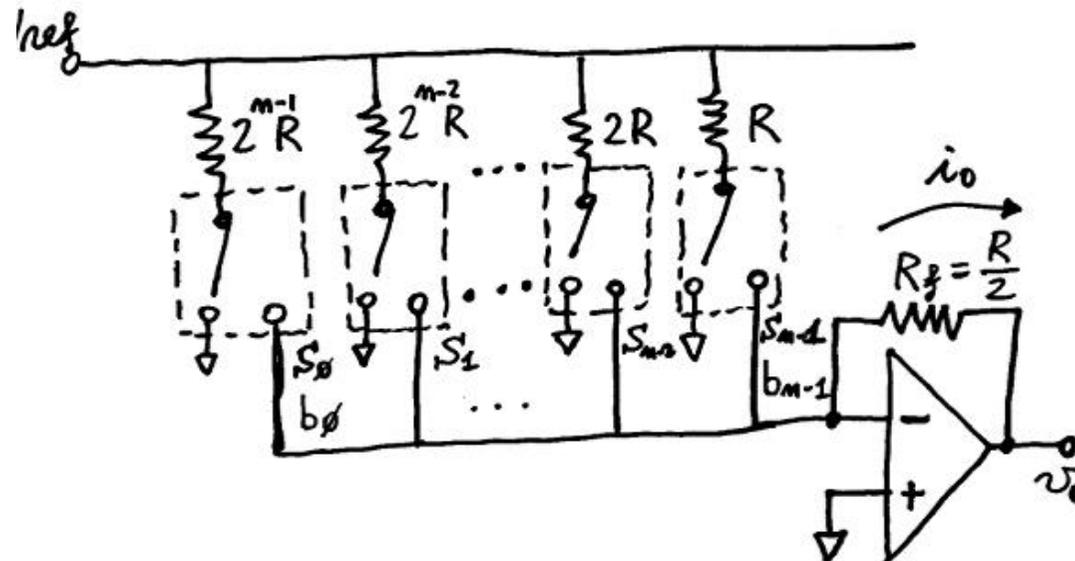
Convertitore D/A a rete di R (2/4)

Gli *switch* s_i sono comandati dalle cifre binarie b_i del numero da convertire in tensione, con pesi t.c.

$b_0 = \text{LSB}$ Least Significant Bit

$b_{n-1} = \text{MSB}$ Most Significant Bit

L'operazionale serve da sommatore delle correnti pesate che passano attraverso gli *switch* e converte la corrente risultante i_0 , attraverso la resistenza di *feedback* R_f , in un'uscita di tensione v_0

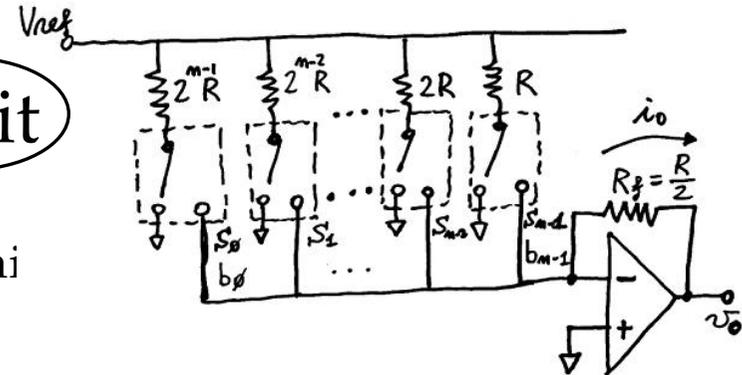


Convertitore D/A a rete di R (3/4)

Le correnti pesate sono

$$i_i = \frac{V_{\text{ref}}}{2^{(n-1)-i} R} = 2^i \frac{V_{\text{ref}}}{2^{(n-1)} R} = 2^i I_{\text{mi}}$$

con $i = 0, 1, \dots, n-1$ (come i bit della parola numerica)



La corrente complessivamente passante dagli *switch* chiusi (S_i è chiuso — posizione dx — quando $b_i=1$) è

$$i_0 = \frac{V_{\text{ref}}}{2^{(n-1)} R} \left(b_0 + 2b_1 + \dots + 2^{n-2} b_{n-2} + 2^{n-1} b_{n-1} \right)$$

Convertitore D/A a rete di R (4/4)

La tensione generata in uscita è

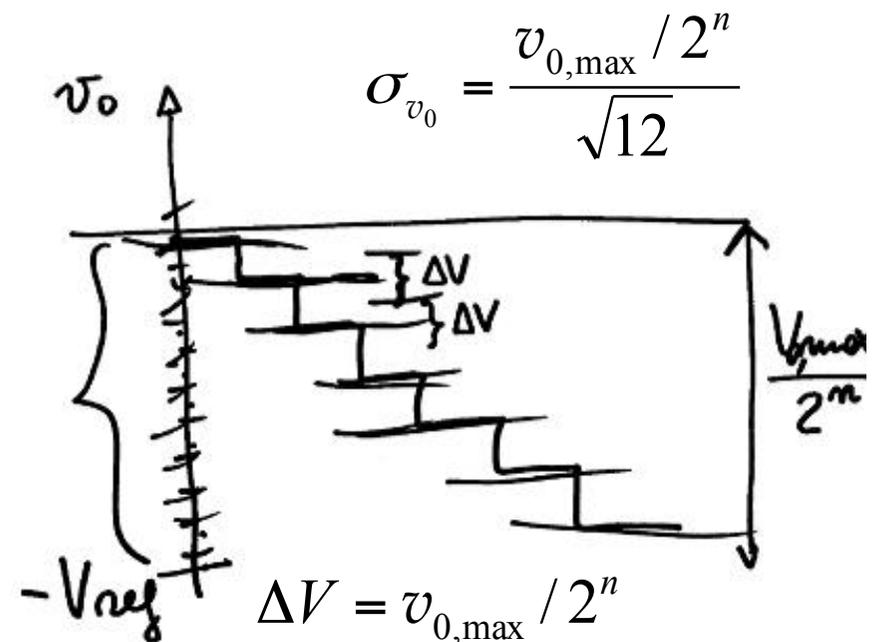
$$v_0 = -R_f I_0 = \left(b_0 + 2b_1 + \dots + 2^{n-1} b_{n-1} \right) \frac{V_{\text{ref}}}{2^n}$$

$$v_0 = \left(b_0 + 2b_1 + \dots + 2^{n-1} b_{n-1} \right) \Delta V = k \Delta V$$

con k numero intero, compreso tra 0 e 2^{n-1}

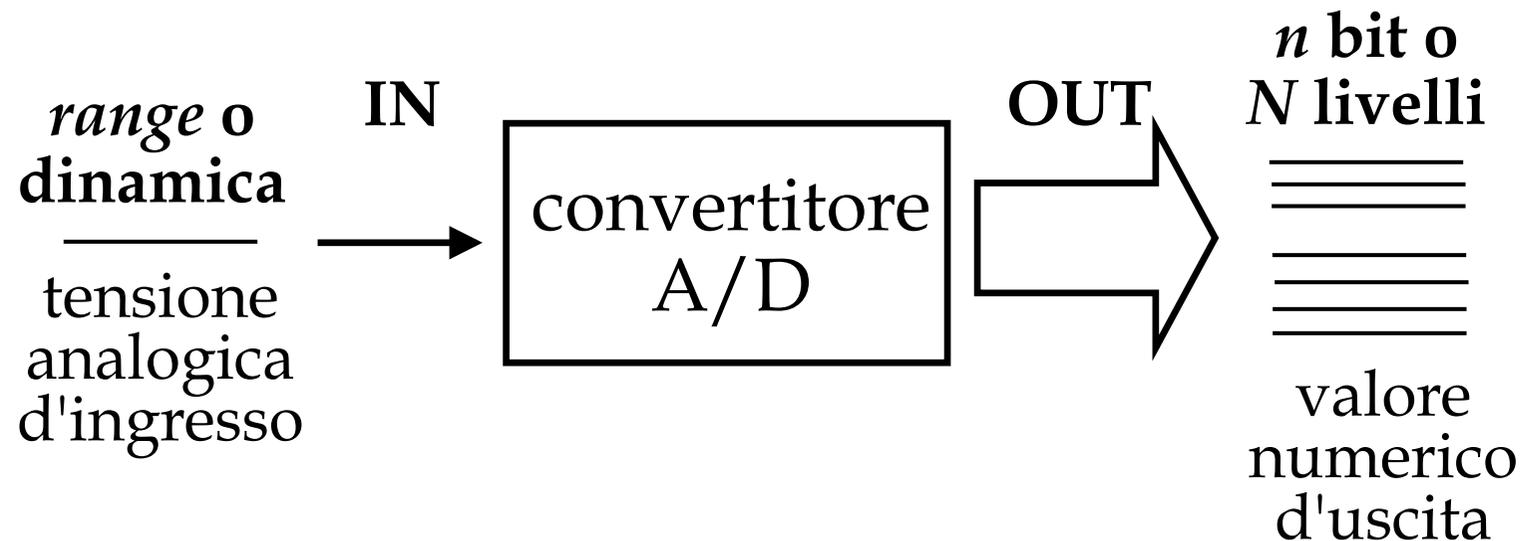
L'accuratezza del DAC dipende da V_{ref} , dalle r_i e dalla qualità degli *switch*

I valori di tensione analogica V_0 in uscita, provenendo da campioni digitali a n bit, hanno una **risoluzione** $\Delta V = v_{0,\text{max}} / 2^n$





Voltmetro Digitale o Convertitore A/D





Voltmetro - convertitore Flash (1/4)

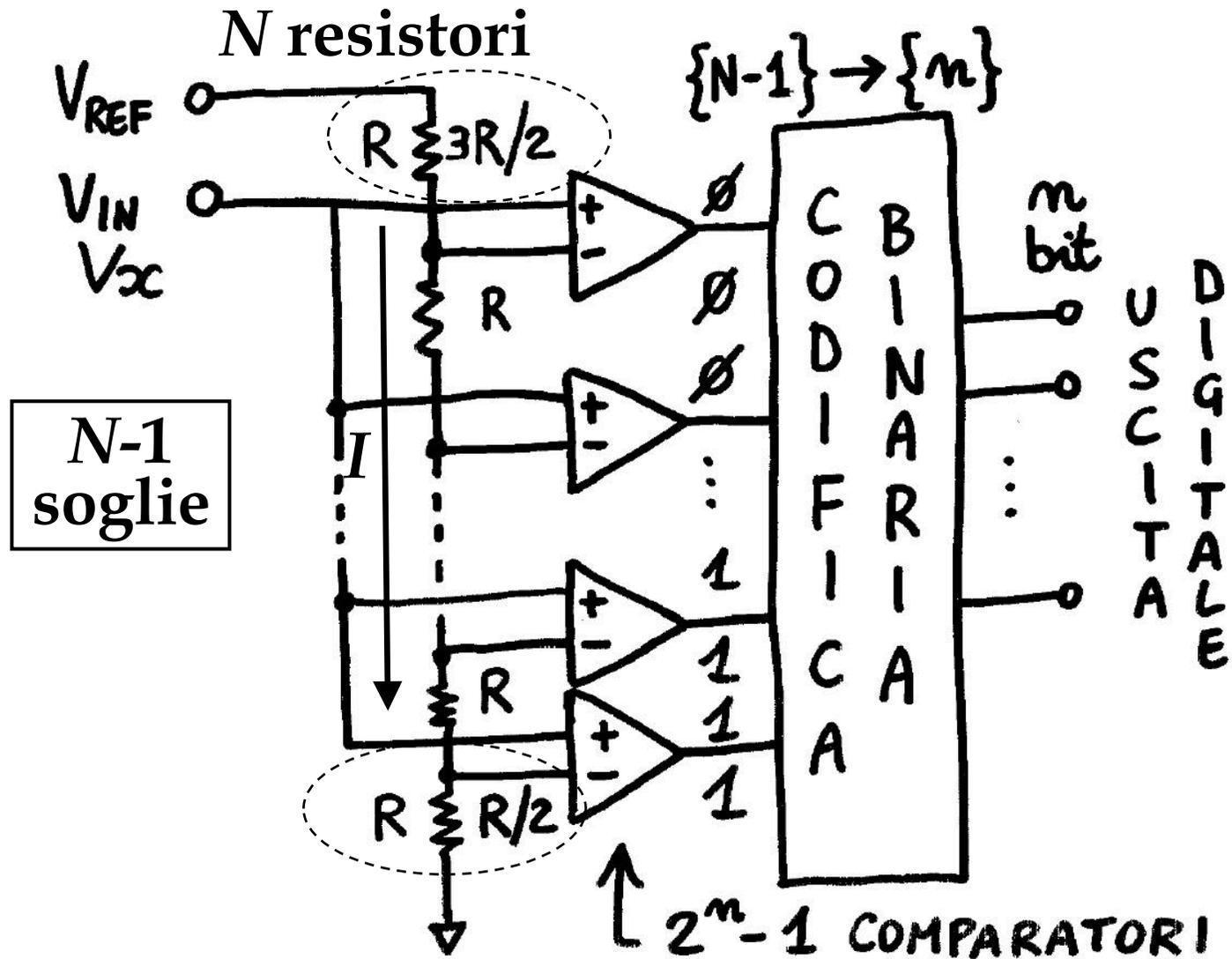
E' il più veloce convertitore A/D con $T_{\text{mis}} \approx 1 T_c$
e frequenze di conversione fino a 40 GSa/s

La complessità circuitale (e il costo) cresce
esponenzialmente con il numero di bit (come 2^n)
e quindi si lavora a bassa risoluzione:

$$n \sim 8 \text{ bit}$$



Voltmetro - convertitore Flash (2/4)





Voltmetro - convertitore Flash (3/4)

N resistori tutti uguali

$$I = \frac{V_{\text{ref}}}{NR} \quad V_i = i \underbrace{(RI)}_{\underbrace{\frac{\Delta V}{N}}} = i \underbrace{\frac{V_{\text{ref}}}{N}}_{\underbrace{\Delta V}} \quad i = 1, \dots, N-1$$

$N-1$ soglie

Primo e ultimo resistore diversi

$$I = \frac{V_{\text{ref}}}{2R + (N-2)R} = \frac{V_{\text{ref}}}{NR}$$

$$V_i = \left[\frac{R}{2} + (i-1)R \right] I = \left(i - \frac{1}{2} \right) \frac{V_{\text{ref}}}{N} \quad N-1 \text{ soglie}$$

Con la rete di resistori $3/2 R$ e $R/2$ la soglia del 1° livello viene dimezzata in ampiezza il che è utile per non avere *offset* nella caratteristica di conversione e per convertire segnali bipolari

1° ed N° livello sono disuniformi dagli altri



Esercizio (convertitore Flash)

Oscilloscopio digitale a larga banda

Dinamica $D = \pm 10 \text{ V}$ $n = 8 \text{ bit}$ $f_{\text{sample}} = 1 \text{ GSa/s}$

$$\Delta V = ? \qquad \Delta V = \frac{D}{2^n} = \frac{20 \text{ V}}{256} \cong 80 \text{ mV}$$

$$\sigma_V = u(V) = ? \qquad u(V) = \frac{\Delta V}{\sqrt{12}} \cong 23 \text{ mV}$$

$$f_{x,\text{max}} = ? \qquad f_{x,\text{max}} = f_{\text{Sample}} / 2 = 500 \text{ MHz}$$

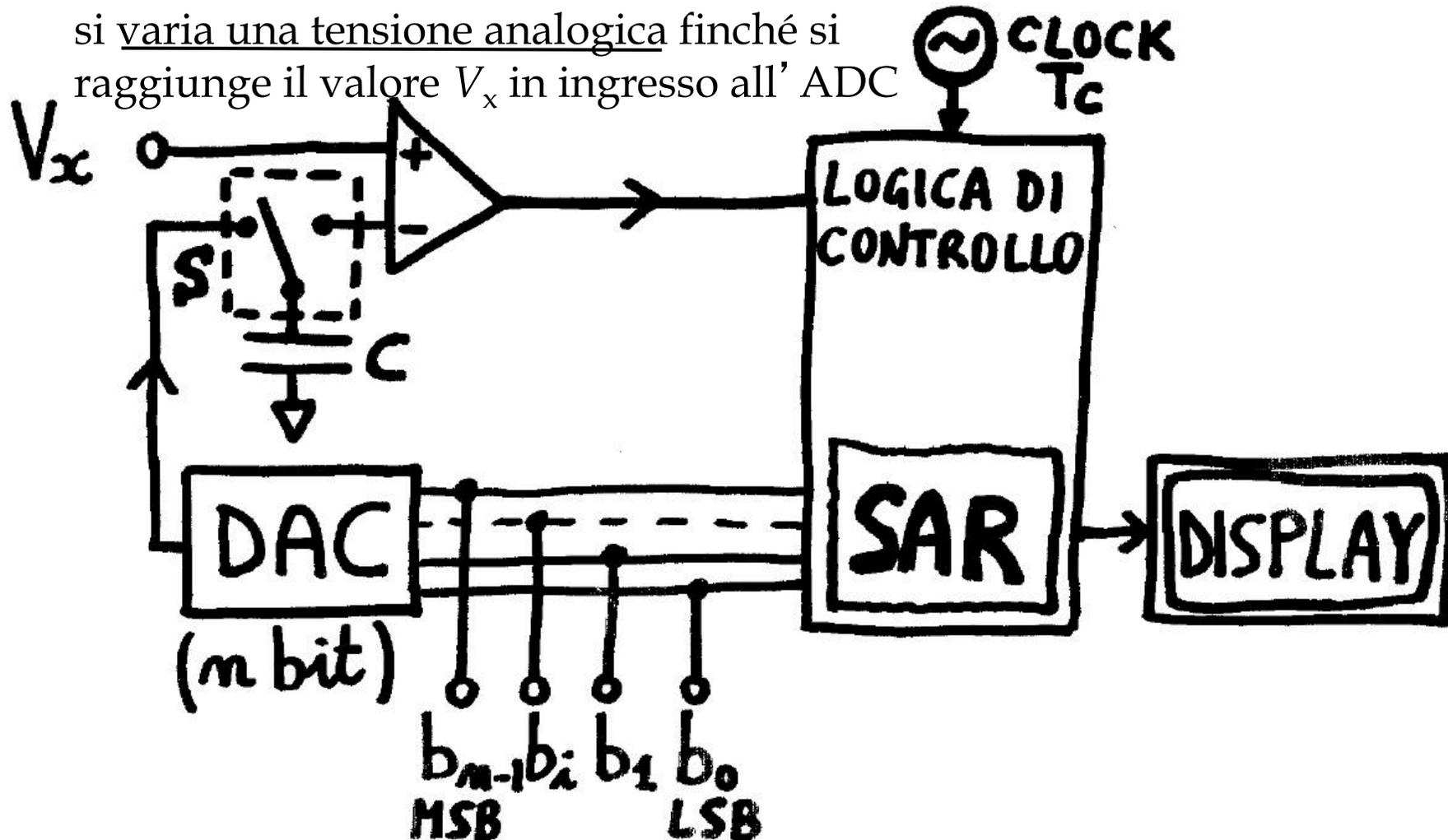
Oltre alla quantizzazione ci sarà anche un rumore elettronico...
(v. bit equivalenti) e il "rumore" σ_V potrebbe anche essere più alto

Voltmetro ad approssimazioni successive (1/6)



Approccio digitale al metodo potenziometrico

si varia una tensione analogica finché si raggiunge il valore V_x in ingresso all' ADC



Voltmetro ad approssimazioni successive (2/6)

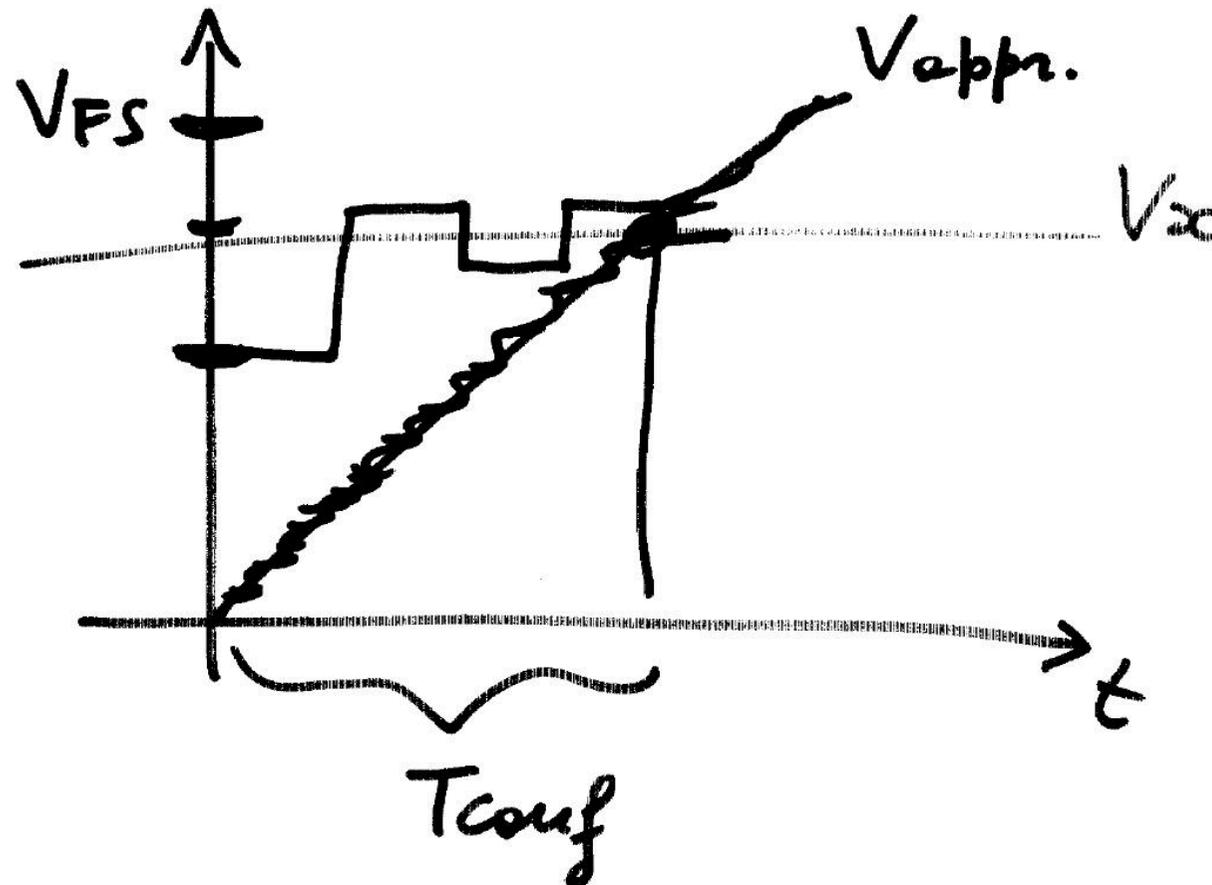


- Convertitore D/A a n bit (“potenziometro”)
Comparatore e Logica di controllo
Clock (temporizzazione del sistema)
- Con un **metodo di BISEZIONE** si “provano” tutti i bit (valore =1) a partire dal più significativo (MSB) fino al bit meno significativo (LSB)
Ad ogni confronto con V_x si decide se mantenere il bit a “1” o riportarlo a “0”

$$\text{Uscita DAC: } V_{D/A} = \frac{V_{FS}}{2^n} \left[b_{n-1} 2^{n-1} + \dots + b_1 2 + b_0 \right]$$

ΔV

Voltmetro ad approssimazioni successive (3/6)



Con soli n confronti si ottiene una risoluzione $\delta = 1/N = 1/2^n$

Voltmetro ad approssimazioni successive (4/6)



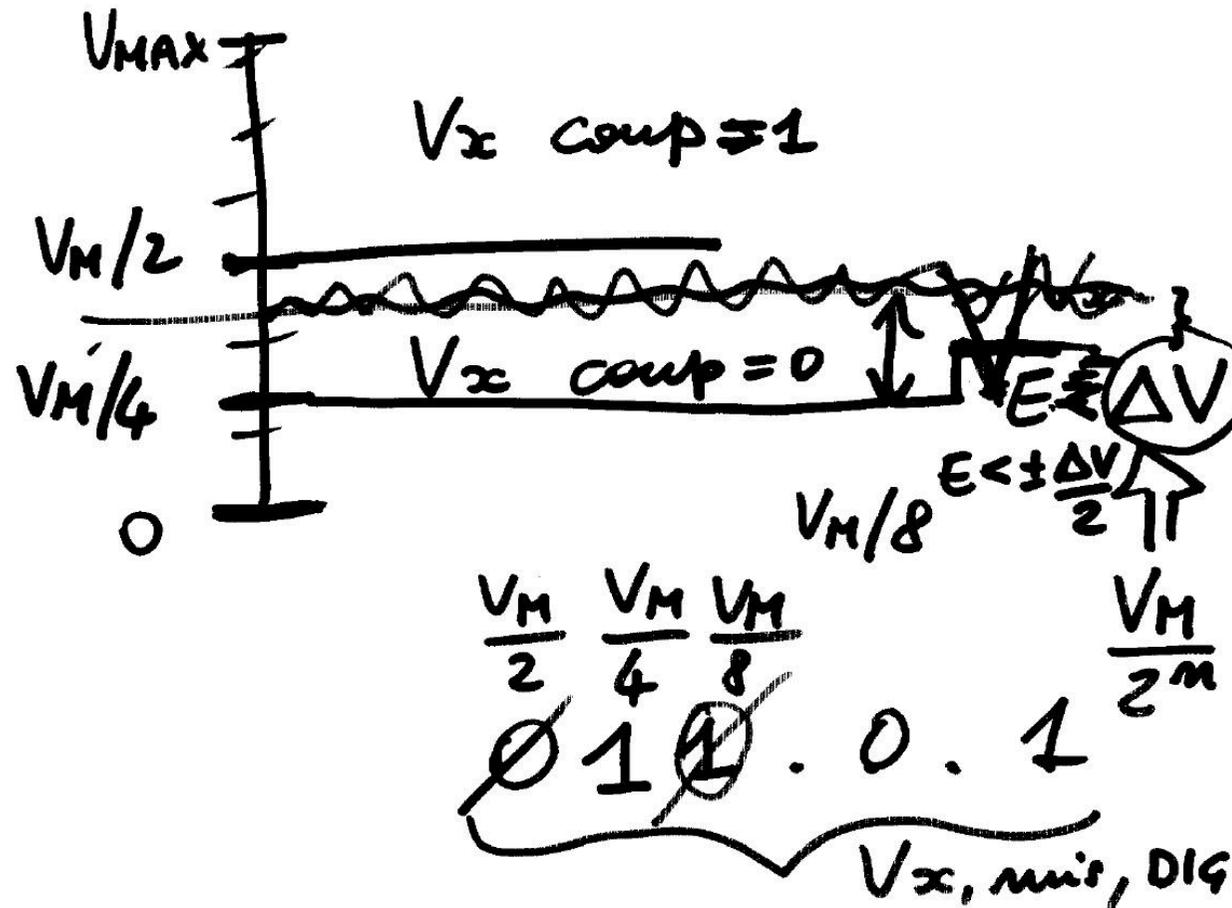
- La cifra meno significativa (b_0) ha un PESO

$$\Delta V = V_{FS} / 2^n \quad \leftarrow \quad N = 2^n$$

La più significativa (b_{n-1}) vale $V_{FS} / 2$

- Si eseguono “solo” $n = \log_2 N$ confronti ciascuno di durata $T_{\text{confr.}} = mT_c$ con m compreso tra 2 e 5
- Il tempo di acquisizione è fissato indipendentemente da V_x e vale $T_{\text{acq.}} = n T_{\text{confr.}}$
La frequenza di acquisizione è $f_{\text{acq.}} = 1/T_{\text{acq.}}$

Voltmetro ad approssimazioni successive (5/6)



Il rumore differenziale può portare “istantaneamente” a errate decisioni sul singolo confronto e dunque a un errore di acquisizione

Voltmetro ad approssimazioni successive (6/6)



- **Risoluzione effettiva** (da 3 a 5 cifre “equivalenti”) dipende dal rumore presente agli stadi di ingresso del comparatore (non è sempre $V_{FS} / 2^n \dots$)
- **Accuratezza:** dipende dal riferimento interno, dalla qualità del DAC e dal rumore del comparatore
- **STATO DELL' ARTE:**

n [bit]	12	16	18 (5 ^{1/2} cifre)
T_{mis} [μ s]	2	5	20 (50 kSa/s)



Prestazioni DVM ad approx. succ.

Questi voltmetri possono essere anche piuttosto veloci mantenendo un'ottima risoluzione (e.g. $T_{\text{mis}} = 5 \mu\text{s}$, ovvero $f_{\text{sample}} = 200 \text{ kSa/s}$ con $n = 16 \text{ bit}$)

Filtro passa-basso in ingresso per limitare le “errate decisioni” dovute al rumore presente in ingresso \rightarrow si riduce anche la velocità di conversione

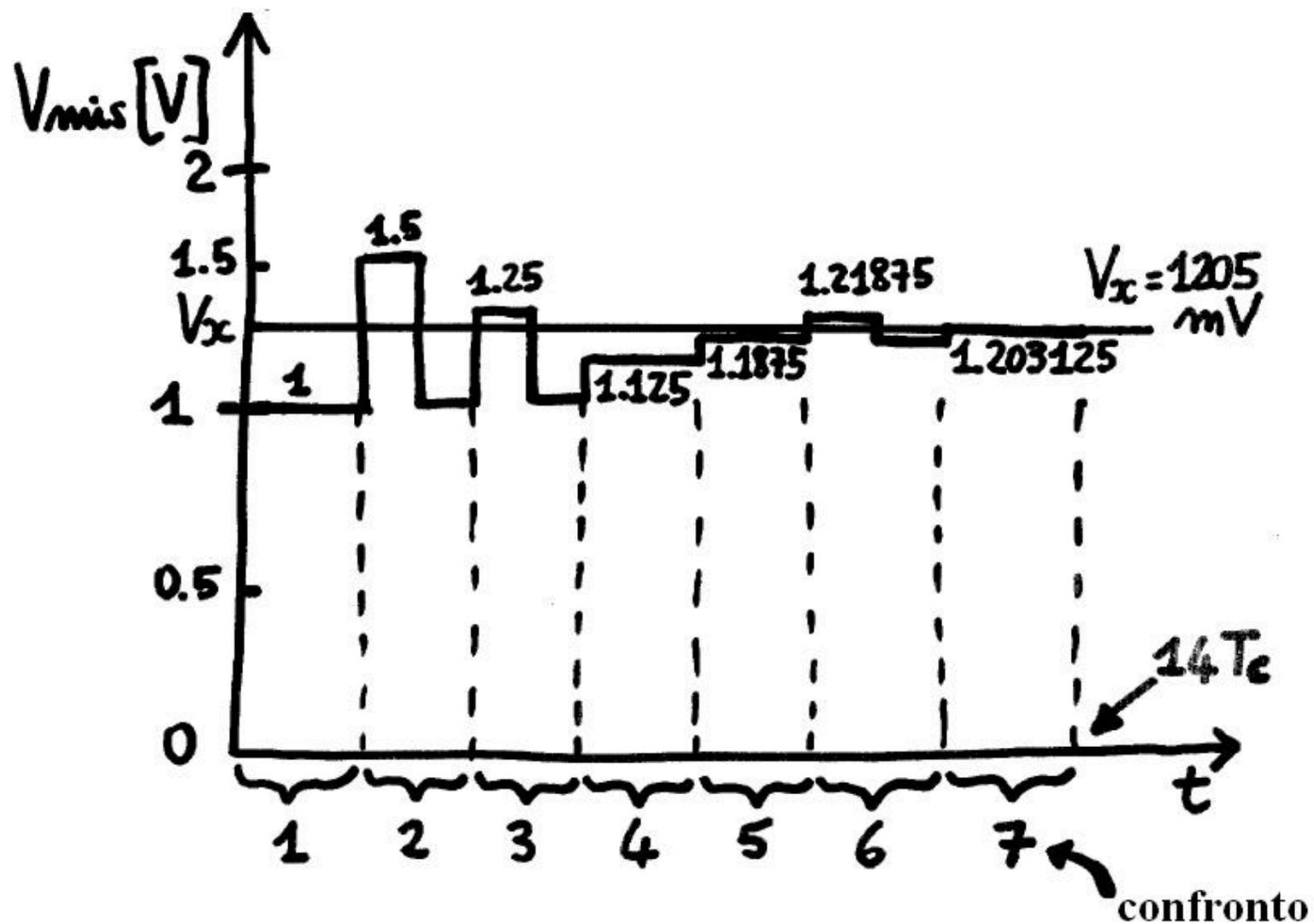


Esercizio (voltmetro ad approx succ.)

$$\text{Dinamica } 0 - 2 \text{ V} \quad n = 7 \text{ bit}$$
$$f_c = 1 \text{ MHz} \quad T_{\text{confr.}} = 2 T_c$$

Indicare il tempo di misura T_{mis} , il valore misurato V_{mis} e il suo errore percentuale rispetto a una tensione da acquisire $V_x = 1205 \text{ mV}$

Soluzione (1/2)





Soluzione (2/2)

$$T_c = 1/f_c = 1 \mu s$$

$$T_{\text{confr}} = 2T_c = 2 \mu s$$

$$T_{\text{acq}} = T_{\text{mis}} = nT_{\text{confr}} = 14 \mu s (\approx 70 \text{ kSa/s})$$

$$V_{\text{mis}} = 1203.125 \text{ mV}$$

$$\text{ERR}\% = \frac{|V_x - V_{\text{mis}}|}{V_x} = 0.1556\%$$

Con soli 7 bit si ha una risoluzione

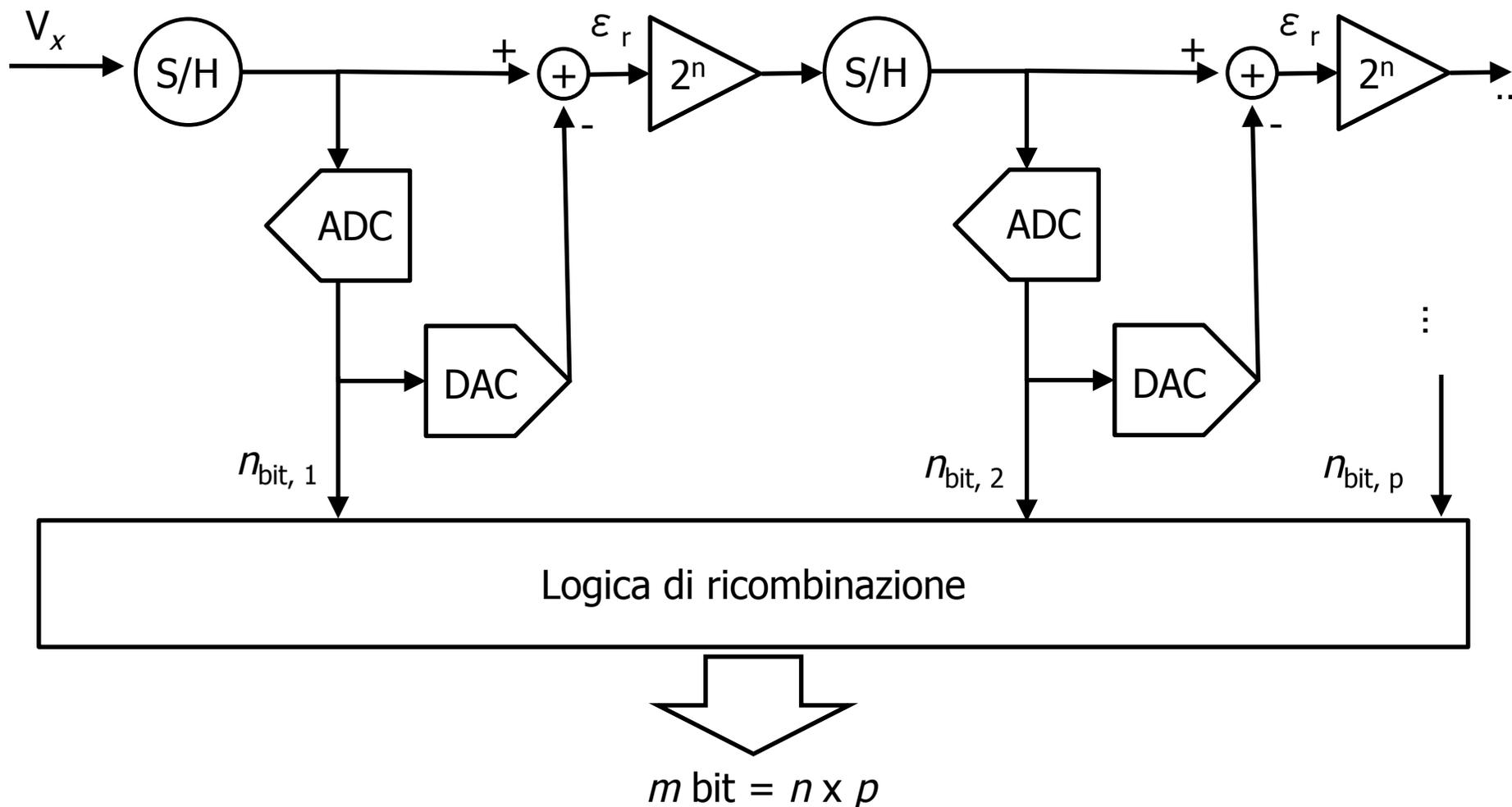
$$\Delta V = \frac{V_{\text{max}}}{2^n} = \frac{2V}{128} \approx 15.6 \text{ mV}$$

In un caso pratico, ad esempio con 12 bit anziché 7, si guadagnerebbe un fattore 32 ($2^5 = 2^{12-7}$) e la risoluzione diventerebbe $\Delta V_{12\text{bit}} \approx 500 \mu V$

...ma allora con 16 bit si potrà veramente "osservare" la risoluzione teorica $\Delta V_{16\text{bit}} \approx 30 \mu V$???

ADC pipeline (1/4)

Architettura:



ADC pipeline (2/4)



Il convertitore A/D pipeline sfrutta il principio della linea di montaggio: in pratica, il segnale di ingresso V_x viene convertito, in passi successivi, da p stadi posti in cascata. Mentre il primo stadio elabora il campione corrente del segnale di ingresso, il secondo stadio elabora ulteriormente il campione, già elaborato dal primo stadio nel periodo di clock precedente, e così via, fino all'ultimo stadio.

Ciascuno degli stadi produce un sottoinsieme $n_{\text{bit}, p}$ degli m_{bit} , che compongono la parola digitale di uscita. Il convertitore *pipeline*, pertanto, a parte una latenza iniziale di p periodi di *clock* (pT_{Ck}), fornisce in uscita una nuova parola digitale per ogni periodo di clock (T_{Ck}), come il convertitore *flash*. Ciascuno dei p stadi del convertitore A/D *pipeline* converte in digitale il proprio segnale di ingresso, con una data risoluzione ($n_{\text{bit}, p}$), e fornisce in uscita la corrispondente parola digitale a $n_{\text{bit}, p}$ bit, nonché un residuo, che dovrà essere poi convertito dallo stadio successivo

ADC pipeline (3/4)



Il residuo si ottiene moltiplicando per 2^n la differenza tra il segnale di ingresso dello stadio e il segnale di uscita a $n_{\text{bit}, p}$ bit, convertito in analogico da un convertitore D/A. Il residuo e , quindi, sostanzialmente, l'errore di quantizzazione introdotto da ciascuno stadio nella conversione A/D a $n_{\text{bit}, p}$ bit. I bit ottenuti in uscita dai diversi stadi vengono poi riallineati tramite opportuni registri, in modo da costituire la parola digitale di uscita m , corrispondente a ogni campione del segnale di ingresso. La risoluzione di un convertitore pipeline risulta limitata dall'accuratezza con cui si riescono a realizzare i fattori ϵ_r , necessari per generare il residuo, nonché dalla precisione dei convertitori AD e DA, presenti nei singoli stadi costituiti tipicamente da un convertitori ad architettura *flash*.

Lo stadio più importante per l'accuratezza della misura è il primo da cui si ottiene il bit più significativo (MSB). Di solito si utilizza un convertitore con un bit in più rispetto ai successivi.

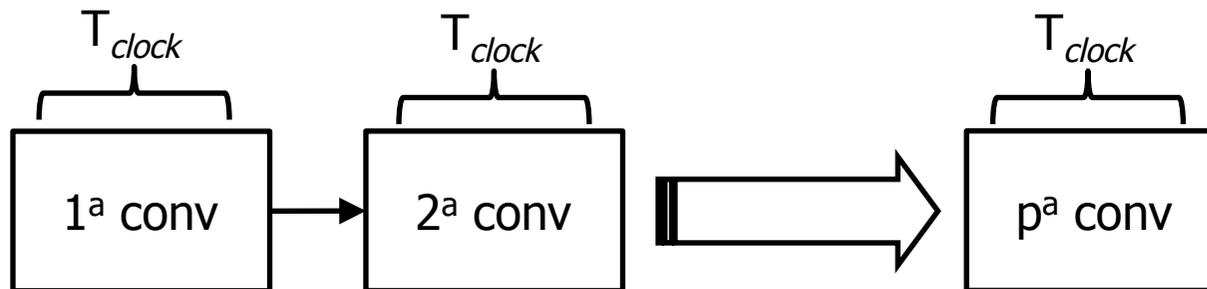
Prestazioni: La massima risoluzione ottenibile si aggira intorno a 24 bit da un minimo di 8 bit con frequenze che vanno da 1 MSa/s a 200 MSa/s.

ADC pipeline (4/4)



Tempo di latenza: è il tempo necessario affinché il primo campione convertito sia disponibile in uscita al convertitore. Nel caso dell' *A/D pipeline* il tempo di latenza sarà uguale al tempo necessario affinché il primo campione sia passato attraverso tutti gli stadi, quindi sarà uguale al periodo (T_{ck}) di clock moltiplicato il numero di stadi.

È da notare che il tempo di conversione differisce dal tempo di latenza, in quanto già dal secondo campione devo aspettare un solo intervallo di clock (T_{ck}) per avere il dato disponibile sull'uscita.



$$\text{Tempo di latenza} = T_{clock} \times p$$

$$\text{Tempo di conversione} = T_{clock}$$